

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

MENU **SEARCH** **INDEX** **DETAIL**

1/1



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 10223896

(43) Date of publication of application:
21. 08. 1998

(51) Int. Cl.

H01L 29/78

(21) Application number:
09026997

(71) Applicant: MITSUBISHI ELECTRIC CORP

(22) Date of filing:
10. 02. 1997

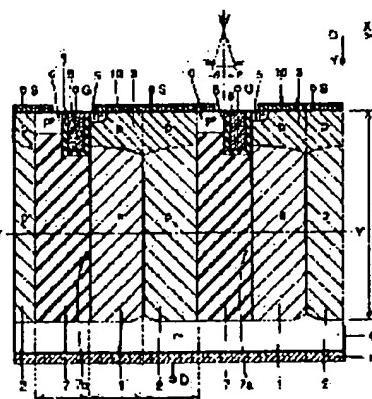
(72) Inventor: UENISHI AKIO
MINATO TADAKURO

(54) SEMICONDUCTOR DEVICE OF HIGH WITHSTAND VOLTAGE AND ITS MANUFACTURE

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device of high withstand voltage which exhibits excellent on-voltage and yield voltage and high-speed switching characteristics by realizing a micro pn repeating structure of the order of micron with an enough precision.

SOLUTION: N type diffusion areas 1 and p type diffusion areas 2 are formed in areas sandwiched between slots 73 arranged on a first major surface of a semiconductor substrate. P type wells 3 are formed on the n type and p type diffusion areas 1 and 2 on the side of the first major surface. Source n⁺ diffusion areas 5 are formed on the first major surface in the p type wells 3. Gate insulating layers 9 are formed which are opposed through gate insulating layers 8 in the p type wells 3 sandwiched between the n type diffusion areas 1 and the source n⁺ diffusion area 5. The n type and the p type diffusion areas 1 and 2 are provided with density distribution of impurities diffused from the side walls of their slots 7a.



LEGAL STATUS

[Date of request for examination]
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C) ; 1998 Japanese Patent Office

MENU **SEARCH** **INDEX** **DETAIL**

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-223896

(43)公開日 平成10年(1998)8月21日

(51)Int.Cl.
H 01 L 29/78

識別記号

F I
H 01 L 29/78

6 5 3 B
3 0 1 W

審査請求 未請求 請求項の数31 OL (全 28 頁)

(21)出願番号 特願平9-26997

(22)出願日 平成9年(1997)2月10日

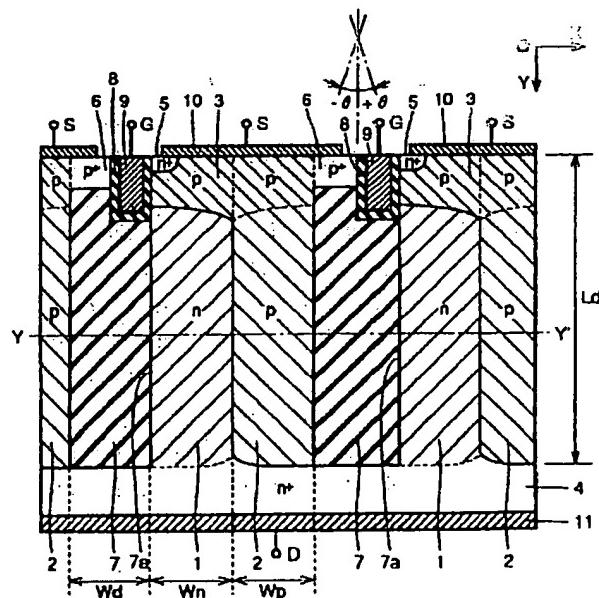
(71)出願人 000006013
三菱電機株式会社
東京都千代田区丸の内二丁目2番3号
(72)発明者 上西 明夫
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
(72)発明者 漢 忠玄
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
(74)代理人 弁理士 深見 久郎 (外3名)

(54)【発明の名称】高耐圧半導体装置およびその製造方法

(57)【要約】

【課題】十分な精度でミクロンオーダの微細なp-n線返し構造を実現可能とすることにより、優れたオン電圧と降伏電圧さらに高速スイッチング特性を有する高耐圧半導体素子を提供する。

【解決手段】半導体基板の第1主面に配置された溝7aに挟まれる領域に、n型拡散領域1とp型拡散領域2とが形成されている。n型およびp型拡散領域1、2の第1主面側にはp型ウェル3が形成されている。このp型ウェル3内の第1主面には、ソースn+拡散領域5が形成されている。n型拡散領域1とソースn+拡散領域5とによって挟まれるp型ウェル3にゲート絶縁層8を介在して対向するようにゲート電極層9が形成されている。n型およびp型拡散領域1、2は、各々溝7aの側壁面から拡散された不純物密度分布を有している。



【特許請求の範囲】

【請求項1】 互いに対向する第1および第2の主面を有し、かつ前記第1主面に設けられた複数の溝を有する半導体基板と、複数の前記溝のうち一方および他方の溝に挟まれる前記半導体基板の領域内の前記一方の溝の側壁面に形成された第1導電型の第1不純物領域と、

前記一方および他方の溝に挟まれる前記領域内の前記一方の溝の側壁面に形成され、かつ前記第1不純物領域とpn接合を形成する第2導電型の第2不純物領域と、前記第1および第2不純物領域の前記第1主面側に形成された第2導電型の第3不純物領域と、

前記第3不純物領域を挟んで前記第1不純物領域と対向するように前記第1主面および前記一方の溝の側壁面の少なくともいずれかに形成された第1導電型の第4不純物領域と、

前記第1および第4不純物領域に挟まれる前記第3不純物領域とゲート絶縁層を介在して対向するゲート電極層とを備え、

前記第1不純物領域は前記一方の溝の側壁面から拡散された不純物密度分布を有し、

前記第2不純物領域は前記他方の溝の側壁面から拡散された不純物密度分布を有している、高耐圧半導体装置。

【請求項2】 前記第3および第4不純物領域に電気的に接続するように前記第1主面上にソース電極が形成されており、前記第1不純物領域に電気的に接続するよう前に記第2主面上にドレイン電極が形成されている、請求項1に記載の高耐圧半導体装置。

【請求項3】 前記第3および第4不純物領域に電気的に接続するように前記第1主面上にソース電極が形成されており、前記第1不純物領域に電気的に接続するよう前に記第1主面上にドレイン電極が形成されている、請求項1に記載の高耐圧半導体装置。

【請求項4】 隣り合う前記溝同士の間隔は前記溝の深さの3分の1以下である、請求項1に記載の高耐圧半導体装置。

【請求項5】 前記一方の溝の互いに対向する側壁面の一方には前記第1不純物領域が形成されており、他方には前記第1不純物領域と異なる導電型の不純物領域が形成されている、請求項1に記載の高耐圧半導体装置。

【請求項6】 前記一方の溝の互いに対向する側壁面の一方には前記第1不純物領域が形成されており、他方には前記第1不純物領域と同じ導電型の不純物領域が形成されている、請求項1に記載の高耐圧半導体装置。

【請求項7】 前記溝の内部は、前記第1の不純物領域の前記一方の溝の側壁面における不純物密度の10分の1以下の不純物密度を有するシリコンで充填されている、請求項1に記載の高耐圧半導体装置。

【請求項8】 前記第1および第2不純物領域の前記第2主面側には、前記第1不純物領域よりも不純物密度の

高い第1導電型の第5不純物領域が形成されており、前記ドレイン電極は、前記第5不純物領域を介在して前記第1不純物領域に電気的に接続されており、前記溝の内部に充填される前記シリコンは、前記第1および第2不純物領域と絶縁層で隔てられ、かつ前記第5不純物領域と接している、請求項2に記載の高耐圧半導体装置。

【請求項9】 前記溝の内部は絶縁層で充填されている、請求項1に記載の高耐圧半導体装置。

【請求項10】 前記ゲート電極層は前記一方および他方の溝の延びる方向に沿って延在している、請求項1に記載の高耐圧半導体装置。

【請求項11】 前記ゲート電極層は前記一方および他方の溝と交差する方向に沿って延在している、請求項1に記載の高耐圧半導体装置。

【請求項12】 前記ゲート電極層は前記トレンチゲート構造を有しており、前記第1主面上に形成され、かつ前記第1不純物領域上にのみ配置されている、請求項1に記載の高耐圧半導体装置。

【請求項13】 前記ゲート電極層はブレーナゲート構造を有し、かつ前記第1主面上に形成されている、請求項1に記載の高耐圧半導体装置。

【請求項14】 互いに隣接する前記第1および第2不純物領域からなるpn構造と前記溝とが繰返された線返し構造を有し、

前記線返し構造の周囲は、分離用絶縁層を介在して抵抗性膜で覆われており、前記抵抗性膜の前記第1主面側の端部は前記ソース電極に電気的に接続されており、前記第2主面側の端部は前記ドレイン電極に電気的に接続されている、請求項2に記載の高耐圧半導体装置。

【請求項15】 互いに隣接する前記第1および第2不純物領域からなるpn構造と前記溝とが繰返された線返し構造を有し、

前記線返し構造の周囲は第1導電型の半導体領域に接続されており、前記ドレイン電極に電圧が印加されたときに前記線返し構造から延びる空乏層の先端が前記半導体領域内で終端する構成を有する、請求項2に記載の高耐圧半導体装置。

【請求項16】 前記第1不純物領域の不純物の前記一方の溝の側壁面からの拡散長は、前記第1不純物領域の前記一方の溝の側壁面から前記第1および第2不純物領域の前記pn接合部までの幅よりも短く、

前記第2不純物領域の不純物の前記他方の溝の側壁面からの拡散長は、前記第2不純物領域の前記他方の溝の側壁面から前記第1および第2不純物領域の前記pn接合部までの幅よりも短い、請求項15に記載の高耐圧半導体装置。

【請求項17】 互いに隣接する前記第1および第2不純物領域からなるpn構造と前記溝とが繰返された線返し構造を有し、

前記繰返し構造の前記第1主面における中央部よりも周辺部の方が前記溝の間隔が狭くなっている、請求項15に記載の高耐圧半導体装置。

【請求項18】シリコンを材料に含む充填層が前記溝の内部に充填されており、前記充填層の不純物密度は前記半導体領域の不純物密度よりも低い、請求項15に記載の高耐圧半導体装置。

【請求項19】前記第1および第2不純物領域に導入される各導電性の不純物の総量は前記半導体領域の導電型とは逆の導電型のものの方が多いになっている、請求項15に記載の高耐圧半導体装置。

【請求項20】前記半導体基板は前記第2主面側に配置された基板と、前記第1主面側に配置されかつ前記基板から絶縁された半導体層とを有するSOI基板であつて、

前記第1、第2、第3および第4不純物領域は前記半導体層に形成されている、請求項3に記載の高耐圧半導体装置。

【請求項21】互いに対向する第1および第2の主面を有し、かつ前記第1主面に設けられた複数の溝を有する半導体基板と、

複数の前記溝のうち一方および他方の溝に挟まれる前記半導体基板の領域内に形成された第1導電型の第1不純物領域と、

前記第1不純物領域の前記第1主面側に形成された第2導電型の第2不純物領域と、

前記第2不純物領域を挟んで前記第1不純物領域と対向するように前記第1主面に形成された第1導電型の第3不純物領域と、

前記第1および第3不純物領域に挟まれる前記第2不純物領域とゲート絶縁層を介在して対向するゲート電極層とを備え、

前記溝は、前記第1不純物領域が空乏化したときに前記第1不純物領域中の電荷量と実質的に等しい反対極性の固定電荷を有する充填絶縁層で充填されている、高耐圧半導体装置。

【請求項22】互いに対向する第1および第2主面を有する半導体基板の前記第1主面近傍に第1導電型の第1不純物領域を形成する工程と、

前記第1主面に前記第1不純物領域よりも深い複数の第1の溝を形成する工程と、

前記第1主面に前記第1不純物領域よりも深い複数の第2の溝を形成する工程と、

前記第1の溝の一方の側壁面に第1導電型の不純物を、半導体素子の最終性能に影響を及ぼさない範囲の高精度の不純物濃度制御性を持つ方法で導入し、第1導電型の第2不純物領域を形成する工程と、

前記第2の溝の一方の側壁面に第2導電型の不純物を、半導体素子の最終性能に影響を及ぼさない範囲の高精度の不純物濃度制御性を持つ方法で導入し、第2導電型の

第3不純物領域を形成する工程と、

絶縁性膜および半絶縁性膜のいずれかよりなる埋込層を前記第1および第2の溝に埋込んだ状態で、前記第1および第2の溝の前記一方の側壁面に導入された第1および第2導電型の前記不純物を拡散させて、前記第1の溝の前記一方の側壁面に前記第2不純物領域を、前記第2の溝の前記一方の側壁面に前記第3不純物領域を、互いに接するように前記第1不純物領域の前記第2主面側に形成する工程とを備えた、高耐圧半導体装置の製造方法。

【請求項23】複数の前記第1の溝と複数の前記第2の溝とは、前記第1および第2の溝が交互に配置されるように同じ工程で形成され、

複数の前記第1および第2の溝は前記一方の側壁面と、それに対向する他方の側壁面とを有し、

第1導電型の前記不純物は前記第1の溝の前記一方の側壁面と前記第2の溝の前記他方の側壁面とに導入され、第2導電型の前記不純物は前記第1の溝の前記他方の側壁面と前記第2の溝の前記一方の側壁面とに導入される、請求項22に記載の高耐圧半導体装置の製造方法。

【請求項24】第1導電型の前記不純物は前記第1の溝の両側壁面に導入され、

第1導電型の前記不純物が導入された後に複数の前記第2の溝が、複数の前記第1の溝と交互に配置されるようにならべられ、

第2導電型の前記不純物は、前記第2の溝の両側壁面に導入される、請求項22に記載の高耐圧半導体装置の製造方法。

【請求項25】前記埋込層の前記第1主面側にゲート埋込用の第3の溝を形成する工程と、

前記第1不純物領域の側壁面とゲート絶縁層を介在して対向するように、前記第3の溝内にゲート電極層を形成する工程とをさらに備えた、請求項23または24に記載の高耐圧半導体装置の製造方法。

【請求項26】前記第1主面から前記第1不純物領域以上の深さとなるように前記第1および第2の溝に交差する方向に沿って延在するゲート埋込用の第3の溝を形成する工程と、

前記第1および第2の溝に交差する方向に沿って延在するように、前記第3の溝内にゲート絶縁層を介在してゲート電極層を形成する工程とをさらに備えた、請求項23または24に記載の高耐圧半導体装置の製造方法。

【請求項27】前記第3の溝は、前記第1の溝から前記第2の溝まで連続的に形成されており、

前記ゲート電極層は、前記第1および第2不純物領域上と前記第1および第2の溝上とに連続的に配置される、請求項26に記載の高耐圧半導体装置の製造方法。

【請求項28】前記第3の溝は、前記第1主面から前記第3不純物領域にのみ達するように前記第3不純物領域ごとに複数形成されており、

前記ゲート電極層は、前記第3不純物領域上のみに配置される、請求項26に記載の高耐圧半導体装置の製造方法。

【請求項29】 前記半導体素子の最終性能に影響を及ぼさない範囲の高精度の不純物濃度制御性を持つ前記方法は、斜めイオン注入法である、請求項23に記載の高耐圧半導体装置の製造方法。

【請求項30】 前記半導体素子の最終性能に影響を及ぼさない範囲の高精度の不純物濃度制御性を持つ前記方法は、斜め回転イオン注入法である、請求項24に記載の高耐圧半導体装置の製造方法。

【請求項31】 前記埋込層は、シリコン酸化膜、シリコン窒化膜、ノンドープ多結晶シリコン膜、ノンドープ非晶質シリコン膜、ノンドープ微結晶シリコン膜、有機シリコン膜、導電性不純物濃度が極めて低く事实上誘電体とみなせる膜よりなる群から選ばれる少なくとも1種の膜よりなっている、請求項22に記載の高耐圧半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、高耐圧半導体装置およびその製造方法に関し、より特定的には各種電源装置などに使用される高耐圧・低損失な高耐圧半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】スイッチング電源やインバータ装置などに使用される高耐圧半導体装置は装置の高効率・小型化の要求に対して高速スイッチング特性や低オン電圧を実現すべく、パワーMOSFET (Metal Oxide Semiconductor Field Effect Transistor) やSIT (Static Induction Thyristor) からさらにIGBT (Insulated Gate Bipolar Transistor) へと改良が進んできた。これらの従来の素子では構造の最適化が精力的に進められているが、さらなる装置の高周波化・小型化や低コスト化の要求には対応困難な状況に陥っており、新たな対策を検討する必要がある。

【0003】従来の高耐圧半導体素子では高い降伏電圧を得るために厚く高比抵抗のドリフト領域を主電流経路に設けるため、高耐圧のものほどこの部分の電圧降下が大きくなつてオン電圧が高くなる。特に多数キャリアのみを伝導に利用する、いわゆるユニポーラデバイスのパワーMOSFETやSITでは、高速スイッチングできるもののオン電圧が高く、オン電圧と降伏電圧とのトレードオフ関係はいわゆるシリコンリミットとして知られる半導体材質特有の限界を超えることができないとされてきた。

【0004】IGBTでは少量の少数キャリアをドリフト領域に導入することによって伝導度を高め、オン電圧

と降伏電圧とのトレードオフ関係は大幅に改善された。その反面、スイッチング時には少数キャリアの蓄積効果による過渡現象が付随してスイッチング損失が増加するとともに、少数キャリアを導入するためのpn接合を主電流経路に設けるため、この電圧降下以下のオン電圧を実現することができない。したがって、IGBTでは数百V級の耐圧の素子ではオン電圧を1V程度以下にすることが困難であった。

【0005】またバイポーラトランジスタやバイポーラモードSITでは、少数キャリアがベースまたはゲート端子から供給される。このため、pn接合による電圧降下はないものの、スイッチング損失が増加するとともに、飽和状態にまでキャリア密度を高めるためには大きなベース(ゲート)順電流(数百V級素子では主電流の10分の1程度)を供給する必要があり、駆動損失が大きいという問題がある。

【0006】このような従来の高耐圧素子への限界を打破するものとして、図58に示すような断面構造の素子がたとえばUSP5,216,275に提案されている。

【0007】図58を参照して、この構造は、上記文献の技術をトレンチゲート型パワーMOSFETへ適用した例を示すもので、従来の素子では高抵抗率のn型半導体で形成されたドリフト領域を、幅の狭いn型領域301とp型領域302との繰返し構造で置換えたものである。

【0008】上記文献には、チャネルを形成するゲート309やバックゲートを形成するp型ウェル303と、pn繰返し構造301、302との位置関係は特に説明されていない。しかし、図示のようにチャネルはn型領域301に、またp型ウェル303はp型領域301に接続されている必要がある。ここで重要な点はn型領域301とp型領域302との不純物の量が互いに等しくなっていることと、それぞれの領域301、302の幅が十分狭いことであると上記文献には示されている。

【0009】この構造では素子のオン状態にあっては、まずMOSゲート309により、ゲート絶縁層308を介在してMOSゲート309に対向したp型ウェル303の表面部にnチャネルが誘起される。そして、ドレインn+領域304、n型領域301、n型チャネルおよびソースn+拡散領域305の経路で電子電流が流れれる。MOSゲート309を十分にバイアスしてチャネル部の電圧降下を抑えれば、オン電圧は主にn型領域301の抵抗による電圧降下で決定されるようになる。単位面積当りのオン抵抗R_{on}は、以下の式で与えられる。

【0010】

【数1】

$$R_{on} = L_d / (q \times N_d \times \mu) \times (W_n + W_p) / W_n \quad \cdots (1)$$

L_d : ドリフト層の長さ、 q : 単位電荷、

N_d : n型領域1のネット不純物密度、 μ : n型領域1の電子の移動度

【0011】次にオフ状態にあってドレイン電圧が10V程度と低い場合には、空間電荷領域は、n型領域部（ドレインに接続されたドレインn+領域304とn型領域301とからなる）とp型領域部（ソースに接続されたp型ウェル303とp型領域302とからなる）との間の接合部に沿って形成される。したがって、図中のY-Y'線に沿って見るとpn接合の境界部から空間電荷領域が広がってくる。ドレイン電圧を上昇していくとn型領域301およびp型領域302は厚みが薄いので、これらの領域がすべて空乏化するようになる。これより、高いドレイン電圧を印加すると空間電荷領域はp型ウェル303とドレインn+領域304に向かってのみ広がるようになる。

【0012】次に、pn繰返し構造部の不純物分布を示す図59を参照して電界強度を考える。

【0013】図58においてY-Y'線に沿う断面における電界のX方向成分は図60に示したようにn型領域301内では増加し、p型領域302内では減少して連続した三角波形を示す。繰返し構造部ではp型領域302とn型領域301とを1周するとY-Y'線の断面における電位は同じレベルに戻ってくる。したがって、X方向の電界の正側の面積S1（斜線領域）と負側の面積S2（斜線領域）との面積が等しくなるようにオフセット位置が決まるが、今回のモデルでは、 $N_d = N_a$ (N_a : p型領域302のネット不純物密度)として簡単にするとX方向電界の最大値は以下の式で与えられる。

【0014】

【数2】

$$E_x(\max) = q \times N_d \times W_n / 2 \varepsilon \quad \cdots (2)$$

ε : シリコンの誘電率

$$R_{on} = V_{br} \times (W_n + W_p) / (2 \times \varepsilon \times \mu \times E_c) \quad \cdots (5)$$

【0022】となって、 W_n 、 W_p を小さくすればオン抵抗は極めて小さくすることができる。またこの構造ではオン抵抗が降伏電圧の一乗に比例するが、従来の単純な高抵抗ドリフト領域を使用するバリアMOSFETでは降伏電圧の二乗（より詳しくは臨界電界のドリフト層不純物密度依存性を考慮して約2.6乗とも言われる）に比例して増加する。このため、図58に示すような微細なpn繰返し構造を作り込むことができれば、高耐圧で低オン電圧の素子が実現できることがわかる。

【0023】

【発明が解決しようとする課題】ところで、図58に示すpn繰返し構造は、上記文献ではエッティングした溝に選択的に不純物を含んだシリコンをエピタキシャル成長

【0015】X-X'線に沿う断面での電界強度は図61に示すように長方形または台形の分布を示す。ここでn型領域301とp型領域302との不純物の量は互いに等しいという条件が満たされていると、電界分布は長方形となる。またn型領域301の不純物の量が相対的に多いと通常のn型ドリフト層を持った素子で一般的なようにソース(S)側の電界が強くなる。

【0016】ここで素子の降伏電圧 V_{br} は、電界の最大値が臨界電界強度 E_c （シリコンでは $E_c = 2 \times 10^5 \text{ V/cm}$ ）に達する状態でほぼ決まるので、 $N_a = N_d$ の場合、

【0017】

【数3】

$$V_{br} = E_c \times L_d \quad \cdots (3)$$

【0018】とすることができる。（1）式より、オン電圧（オン抵抗）を下げるためには、n型領域301の不純物密度 N_d を高めればよいのであるが、耐圧を維持するためにp型領域302の不純物密度 N_a も高めることになる。これらの不純物密度の絶対値を高めていくとオフ状態でのX方向の電界の傾きが急になる。そして、電界の最大値 $E_x(max)$ が臨界電界に近づくと、もはや降伏電圧は（3）式で期待される値までは出なくなる。したがって、

【0019】

【数4】

$$W_n < 2 \times \varepsilon \times E_c / (q \times N_d) \quad \cdots (4)$$

【0020】とする必要がある。このときのオン抵抗は、

【0021】

【数5】

させるか、あるいは選択的中性子照射による原子核変換を生じさせることで実現できると示されている。しかしながら、実際にはこのいずれの方法でも、pn繰返し構造を実現できる可能性はほとんどない。以下、そのことを各製造方法を図で示して詳細に説明する。

【0024】なお、上記文献には、上述の製造方法は文章のみで記載されているため、以下の図面を用いた説明はその文章から推察したものである。

【0025】図62～図64は、エピタキシャル成長法でpn繰返し構造を製造する方法を工程順に示す概略断面図である。まず図62を参照して、ドレインn+領域となるn+領域304上に、エピタキシャル成長法によってn+エピタキシャル層301が形成される。

【0026】図63を参照して、n⁻エピタキシャル層301上に、たとえばシリコン酸化膜よりなるマスク310をした状態で、n⁻エピタキシャル層301に異方性エッティングが施される。これにより、n⁻領域304が露出してn⁻エピタキシャル層301に溝301aが形成される。この後、マスク310が除去される。

【0027】図64を参照して、溝301a内に選択的にp⁻エピタキシャル層302がエピタキシャル成長法によって形成される。このようにしてエピタキシャル成長法によってpn線返し構造が形成される。

【0028】このようなエピタキシャル成長方法では、オートドープ現象として一般に知られるように、成膜中の膜が基板側の不純物を吸い込みながら成長する。このため、たとえ800°C程度の低温度での成長であっても、p⁻エピタキシャル層302の成長中に、基板側の不純物(n⁻エピタキシャル層301中の不純物)がこのp⁻エピタキシャル層302中に容易に拡散してしまう。よって、pn線返し構造において明確なp型とn型との不純物層301、302をミクロンオーダの微細な線返し構造で形成することはできない。

【0029】またエピタキシャル成長法における不純物密度の制御は、良くても5%程度しかできず、さらにp型およびn型の不純物層の不純物密度が近い値であることが要求される今回のような場合には、10%の制御も難しいことが知られている。

【0030】図65と図66とは、中性子照射による原子核変換でpn線返し構造を製造する方法を工程順に示す概略断面図である。まず図65を参照して、ドレインn⁻領域となるn⁻領域304上に、エピタキシャル成長方法によってp⁻エピタキシャル層302が形成される。

【0031】図66を参照して、このp⁻エピタキシャル層302にマスク350を用いて選択的に中性子線が照射される。これにより、シリコン(Si)の一部が原子核変換を起こしリン(P)となる。このリンはn型のドーパントであるため、中性子線の照射されたp⁻エピタキシャル層302中にn⁻層301が形成されることになる。このようにして、中性子照射による原子核変換でpn線返し構造が形成される。

【0032】この選択的中性子照射による原子核変換については、現状ではミクロンサイズのパターンを形成するに必要なマスク材料が存在しない。つまり、マスクには中性子線の照射を遮る遮光膜が必要であるが、ミクロンサイズのパターンを形成する場合には、通常用いられる遮光膜の材料では薄すぎて中性子線を遮ることができない。加えて、中性子線では平行な線束を得ることができないため上述のような中性子線の選択的照射による微細加工は不可能である。

【0033】以上のように上記文献に示された構造では、現行電子の降伏電圧とオン電圧とのトレードオフを

大幅に改善できる可能性があるものの、その構造を実現することができないという致命的な問題があった。

【0034】それゆえ、本発明の目的は、微細なpn線返し構造を実現可能とすることで、降伏電圧とオン電圧とのトレードオフを大幅に改善できる高耐圧半導体装置およびその製造方法を提供することである。

【0035】

【課題を解決するための手段】本発明の高耐圧半導体装置は、半導体基板と、第1導電型の第1不純物領域と、第2導電型の第2不純物領域と、第2導電型の第3不純物領域と、第1導電型の第4不純物領域と、ゲート電極層とを備えている。半導体基板は、互いに対向する第1および第2主面を有し、かつ第1主面に設けられた複数の溝を有している。第1不純物領域は、複数の溝のうち一方および他方の溝に挟まれる半導体基板の領域内の方の溝の側壁面に形成されている。第2不純物領域は、一方および他方の溝に挟まれる領域内の他方の溝の側壁面に形成され、かつ第1不純物領域とpn接合を形成している。第3不純物領域は、第1および第2不純物領域の第1主面側に形成されている。第4不純物領域は、第3不純物領域を挟んで第1不純物領域と対向するよう第1主面および一方の溝の側壁面の少なくともいずれかに形成されている。ゲート電極層は、第1および第4不純物領域に挟まれる第3不純物領域とゲート絶縁層を介在して対向している。第1不純物領域は一方の溝の側壁面から拡散された不純物密度分布を有し、第2不純物領域は他方の溝の側壁面から拡散された不純物密度分布を有している。

【0036】本発明の高耐圧半導体装置では、第1および第2の溝に挟まれる領域にpn構造となる第1および第2の不純物領域が形成されている。このため、現行電子の降伏電圧とオン電圧とのトレードオフを大幅に改善することができる。

【0037】また、第1および第2の不純物領域の各々は、第1および第2の溝の側壁面から拡散された不純物密度分布を有している。このような不純物密度分布構造は、たとえば斜めイオン注入法などにより形成することができる。このイオン注入法は、不純物密度の制御性がエピタキシャル成長法に比べて格段に高い。このため、ミクロンオーダの微細なpn線返し構造を有し、かつこのp型およびn型の不純物濃度が近い値でも制御性良くpn線返し構造を形成することができる。

【0038】本発明の好ましい一の局面に従えば、第3および第4不純物領域に電気的に接続するよう第1主面上にソース電極が形成されており、第1不純物領域に電気的に接続するよう第2主面上にドレイン電極が形成されている。

【0039】これにより、縦型のパワーMOSFETに、ミクロンオーダの微細なpn線返し構造を実現することができる。

【0040】本発明の好ましい他の局面に従えば、第3および第4不純物領域に電気的に接続するように第1主面上にソース電極が形成されており、第1不純物領域に電気的に接続するように第1主面上にドレイン電極が形成されている。

【0041】これにより、横型のパワーMOSFETに、ミクロンオーダの微細なpn線返し構造を実現することができる。

【0042】本発明の好ましい他の局面に従えば、隣り合う溝同士の間隔は溝の深さの3分の1以下である。

【0043】これにより、微小なサイズのpn線返し構造を実現することができる。本発明の好ましい他の局面に従えば、一方の溝の互いに対向する側壁面の一方には第1不純物領域が形成されており、他方には第1不純物領域と異なる導電型の不純物領域が形成されている。

【0044】この構成は、たとえば斜めイオン注入法で実現することができる。本発明の好ましい他の局面に従えば、一方の溝の互いに対向する側壁面の一方には第1不純物領域が形成されており、他方には第1不純物領域と同じ導電型の不純物領域が形成されている。

【0045】この構成は、たとえば斜め回転イオン注入法で実現することができる。本発明の好ましい他の局面に従えば、溝の内部は、第1の不純物領域の一方の溝の側壁面における不純物密度の10分の1以下の不純物密度を有するシリコンで充填されている。

【0046】これにより、シリコンを材料とする充填層で溝を埋込んでも、充填層の電荷密度が電界分布に著しい影響を及ぼすことを防止することができる。

【0047】本発明の好ましい他の局面に従えば、第1および第2不純物領域の第2主面側には、第1不純物領域よりも不純物密度の高い第1導電型の第5不純物領域が形成されている。ドレイン電極は、第5不純物領域を介在して第1不純物領域に電気的に接続されている。溝の内部に充填されるシリコンは、第1および第2不純物領域と絶縁層で隔てられ、かつ第5不純物領域と接している。

【0048】本発明の好ましい他の局面に従えば、溝の内部は絶縁層で充填されている。溝を絶縁層で充填しており、絶縁層中の電荷密度は十分少ないため、この電荷密度が電界分布に著しい影響を及ぼすことは防止される。

【0049】本発明の好ましい他の局面に従えば、ゲート電極層は一方および他方の溝の延びる方向に沿って延在している。

【0050】本発明の好ましい他の局面に従えば、ゲート電極層は一方および他方の溝に交差する方向に沿って延在している。

【0051】これにより、より自由度の高い設計が可能となる。またゲート間隔を広くすることができるため、ゲート密度の高まりによって入力容量が増加しスイッチ

ング速度が遅くなることを防止できる。

【0052】本発明の好ましい他の局面に従えば、ゲート電極層はトレンチゲート構造を有しており、第1主面上に形成されており、かつ第1不純物領域上にのみ配置されている。

【0053】これにより、より自由度の高い設計が可能となる。またさらにゲート容量を減少できるため、より一層スイッチング速度の向上を図ることができる。

【0054】本発明の好ましい他の局面に従えば、ゲート電極層はプレーナゲート構造を有し、かつ第1主面上に形成されている。

【0055】これにより、トレンチゲート型よりもゲート間隔を広くでき、ゲート構造形成の工程が簡単になり、安いコストで製造することができる。

【0056】本発明の好ましい他の局面に従えば、互いに隣接する第1および第2不純物領域からなるpn構造と溝とが繰返された線返し構造が形成されている。この線返し構造の周囲は分離用絶縁層を介在して抵抗性膜で覆われており、抵抗性膜の第1主面側の端部はソース電極に電気的に接続されており、第2主面側の端部はドレイン電極に電気的に接続されている。

【0057】これにより、線返し構造の終端部においてpn線返し構造の電界が矛盾なく等電位面につながって、pn線返し構造の降伏電圧がそのまま得られる。また、抵抗性膜がソース電極とドレイン電極とに接続されることで抵抗性フィールドプレートの働きをし、これにより封止樹脂などの中のイオンなどによる影響を防いで長期的にも安定な降伏電圧が得られる。また終端構造のための面積が少なくて済むため安いコストで製造することができる。

【0058】本発明の好ましい他の局面に従えば、互いに隣接する第1および第2不純物領域からなるpn構造と溝とが繰返された線返し構造が形成されている。この線返し構造の周囲は第1導電型の半導体領域に接続されており、ドレイン電極に電圧が印加されたときに線返し構造から延びる空乏層の先端が半導体領域内で終端する構成を有している。

【0059】これにより、線返し構造の簡易な終端構造を得ることができる。本発明の好ましい他の局面に従えば、第1不純物領域の不純物の一方の溝の側壁面からの拡散長は、第1不純物領域の一方の溝の側壁面から第1および第2不純物領域のpn接合部までの幅よりも短い。第2不純物領域の不純物の他方の溝の側壁面からの拡散長は、第2不純物領域の他方の溝の側壁面から第1および第2不純物領域のpn接合部までの幅よりも短い。

【0060】これにより、pn線返し構造での電界の変化を緩和でき、電界集中を防止することができる。

【0061】本発明の好ましい他の局面に従えば、互いに隣接する第1および第2不純物領域からなるpn構造

と溝とが繰返された繰返し構造が形成されている。この繰返し構造の第1主面における中央部よりも周辺部の方が溝の間隔が狭くなっている。

【0062】これにより、降伏電圧の低下をより生じにくくすることができる。本発明の好ましい他の局面に従えば、シリコンを材料に含む充填層が溝の内部に充填されている。充填層の不純物密度は半導体領域の不純物密度よりも低い。

【0063】本発明の他の局面に従えば、第1および第2不純物領域に導入される各導電性の不純物の総量は、半導体領域の不純物と逆導電型のものの方が多くなっている。

【0064】本発明の好ましい他の局面に従えば、半導体基板は、第2主面側に配置された基板と、第1主面側に配置されかつ基板から絶縁された半導体層とを有するSOI基板であって、第1、第2、第3および第4不純物領域は半導体層に形成されている。

【0065】これにより、SOI型横型パワーMOSFETを実現することができる。本発明の好ましい他の局面に従えば、溝は、第1および第2不純物領域が空乏化したときに第1および第2不純物領域中の電荷量と実質的に等しい逆導電型の固定電荷を有する充填絶縁層で充填されている。

【0066】本発明の高耐圧半導体装置の製造方法は、以下の工程を備えている。まず互いに対向する第1および第2主面を有する半導体基板の前記第1主面近傍に第1導電型の第1不純物領域が形成される。そして第1主面に第1不純物領域よりも深い複数の第1の溝が形成される。そして第1主面に第1不純物領域よりも深い複数の第2の溝が形成される。そして第1の溝の一方の側壁面に第1導電型の不純物が、半導体素子の最終性能に影響を及ぼさない範囲の高精度の不純物濃度制御性を持つ方法で導入され、第1導電型の第2不純物領域が形成される。そして第2の溝の一方の側壁面に第2導電型の不純物が、半導体素子の最終性能に影響を及ぼさない範囲の高精度の不純物濃度制御性を持つ方法で導入され、第2導電型の第3不純物領域が形成される。そして絶縁性膜および半絶縁性膜のいずれかよりなる埋込層が第1および第2の溝に埋込まれた状態で、第1および第2の溝の一方の側壁面に導入された第1および第2導電型の不純物が拡散させられて、第1の溝の一方の側壁面に第2不純物領域が、第2の溝の一方の側壁面に第3不純物領域が、互いに接するように第1不純物領域の第2主面側に形成される。

【0067】本発明の高耐圧半導体装置の製造方法では、溝を設け、溝の側壁面から半導体素子の最終性能に影響を及ぼさない範囲の高精度の不純物濃度制御性を持つ方法、たとえば斜めイオン注入法および/または斜め回転イオン注入法で不純物を導入することができる。このイオン注入法は不純物密度の制御性がエピタキシャル

成長法に比べて格段に高い。このため、ミクロンオーダーの微細なpn繰返し構造を有し、かつこのp型およびn型の不純物濃度が近い値でもpn繰返し構造を制御性良く形成することができる。

【0068】また、ミクロンオーダーの微細なpn繰返し構造を制御性良く形成することができるため、現行素子の降伏電圧とオン電圧とのトレードオフを大幅に改善することができる。

【0069】

【発明の実施の形態】以下、本発明の実施の形態について図に基づいて説明する。

【0070】実施の形態1

図1は、本発明の実施の形態1における高耐圧半導体装置の構成を概略的に示す断面図である。図1を参照して、半導体基板の第1主面には、複数の溝7aが繰返し設けられている。この溝7aに挟まれる領域内には、n型およびp型拡散領域1、2が設けられており、n型拡散領域1は一方の溝7aの側壁面に設けられており、p型拡散領域2は他方の溝7aの側壁面に設けられている。このn型拡散領域1とp型拡散領域2とは、溝7aの深さ方向に沿ってpn接合部を構成している。

【0071】n型およびp型拡散領域1、2の第1主面側にはp型ウェル(p型ベース領域とも称する)3が形成されている。このp型ウェル3内であって一方の溝7aの側壁面にはソースn+拡散領域5が設けられている。このソースn+拡散領域5とn型拡散領域1とに挟まれるp型ウェル3とゲート絶縁層8を介在して対向するように、一方の溝7aの側壁面に沿ってゲート電極層9が形成されている。

【0072】溝7a内には、低不純物密度のシリコン(単結晶、多結晶、非晶質および微結晶を含む)からシコン酸化膜などの絶縁物よりなる充填層7が充填されている。この充填層7の第1主面側には、p+拡散領域6が設けられており、p型ウェル3と接している。

【0073】またn型およびp型拡散領域1、2と溝7aとの繰返し構造(以下、p-n-溝繰返し構造と称する)の第2主面側にはドレインn+領域4が形成されている。

【0074】第1主面上には、p型ウェル3、ソースn+拡散領域5およびp+拡散領域6に電気的に接続するようソース電極層10が形成されている。また第2主面上には、ドレインn+領域4と電気的に接続するようドレイン電極層11が形成されている。

【0075】上述した高耐圧半導体素子の構造は、pn構造部1、2を溝7aで挟む構成とし、一方の溝7aの側壁面からn型不純物を導入してn型拡散領域1を、また他方の溝7aの側壁面からp型不純物を導入してp型拡散領域2を形成できるようにした点で、特に図5-8に示す従来例と異なる。このような構成としたため、n型拡散領域1は、一方の溝7aの側壁面から拡散された不

純物密度分布を有し、p型拡散領域2は他方の溝7aの側壁面から拡散された不純物密度分布を有している。

【0076】つまり、この構造の利点は、従来の構造では不可能であった現実的な製造を可能にできることである。詳しくは後ほど改めて説明するが、その要点について示すと、たとえばドレインn⁺領域4の上にエピタキシャル成長などでn⁻層を形成したウエハにp型ウェル3がイオン注入や熱拡散などで形成される。次に溝7aがトレーニングエッティングなどで形成され、図1に示したチルト角θを、

【0077】

【数6】

$$\theta = \arctan(Wd / Ld) \quad \cdots(6)$$

【0078】ウエハ法線からずらしてp型不純物が斜めイオン注入される。次にこのチルト角を-θに変えてn型不純物が斜めイオン注入される。これによって溝7aで挟まれた領域にpn構造部1、2が形成される。

【0079】この高耐圧半導体素子の構造におけるY-Y'線に沿う断面のネット不純物密度は図2に示すようになっている。図2を参照して、溝7aから不純物を導入するために溝7aの側壁面の不純物密度が高く、シリコジ中に入るほど不純物密度が低くなる。熱拡散すると不純物はほぼガウス分布に従って分布し、図3のような分布を示す。パラメータとして表面不純物密度C_{s n}、C_{s p}と拡散長CHR_n、CHR_pを定義すると不純物分布の形は決定する。この場合、n型拡散領域1とp型拡散領域2とからなる接合は両方からの不純物の拡散が等しくなる位置で形成される。

【0080】なお、高いアスペクト比の溝に斜めイオン注入すると溝側壁面でのイオンの反射・散乱により所望以外の側壁面にもイオンが注入されるが、注入エネルギーを高くするなどして、実用的なネット不純物分布を得ることができる。

【0081】また後で示すように素子周辺部の終端構造の制約から、p-n-溝繰返し構造を低不純物密度のn⁻半導体の中に作り込むのが一般的である。このような場合には、n⁻半導体に含まれるn型不純物がn型拡散領域1とp型拡散領域2とにバックグラウンド不純物として含まれることになる。

【0082】また溝7aを各種シリコンで埋込む場合は、溝7a内の電荷密度が電界分布に著しい影響を及ぼさないよう、充填層7の不純物量はn型拡散領域1やp型拡散領域2における不純物量の10分の1以下と十分低いことが望ましい。

【0083】図1の構造でオフ状態においてドレイン電圧を上昇させ、p-n-溝繰返し構造が十分空乏化した場合のX方向電界分布をY-Y'線に沿って示すと図4に示すようになる。図4を参照して、X方向電界はn型拡散領域1では増加しp型拡散領域2では減少するが、不純物密度がX方向にガウス分布で変化しているためX

方向電界はこれを積分した誤差関数の形となる。また溝7aの内部は低不純物密度のシリコンや酸化シリコンなどの絶縁物で構成されており内部の電界密度が十分少ないため、溝7aの内部のX方向電界は一定となる。

【0084】この場合も繰返し構造のため1周期で電位が同じレベルに戻ってくる必要があるため、X方向電界の正の部分の面積S₁（斜線領域）と負の部分の面積S₂（斜線領域）とが等しくなるようにオフセットが決まる。このようにこの構造で得られる降伏電圧特性の解析的表現は困難になるのでこれ以上は示さない。

【0085】次に、本実施の形態における高耐圧半導体装置の製造方法について説明する。図5～図18は、本発明の実施の形態1における高耐圧半導体装置の製造方法を工程順に示す概略断面図である。図5を参照して、ドレインn⁺領域となるn型高不純物濃度基板4上に、後述の不純物拡散工程の濃度分布に比べて十分低い不純物濃度を有するn型エピタキシャル成長層4aが形成される。実用的には、n型エピタキシャル成長層4aの不純物濃度は、 $1 \times 10^{13} \sim 1 \times 10^{16} \text{ cm}^{-3}$ の範囲であればよい。所望の素子耐圧が300V程度の場合には、n型エピタキシャル成長層4aの厚みは $20 \mu\text{m}$ 程度であればよい。また、このn型エピタキシャル成長層4aを形成する代わりに、同程度の不純物濃度を有する基板を直接張り合わせ、研磨により所望の厚みにすることも可能である。

【0086】図6を参照して、このn型エピタキシャル成長層4aの表面に、既存の不純物拡散法を用いて、MOSFETのp型ベース領域となるp型拡散領域3が形成される。このp型拡散領域3上に、熱酸化膜12とCVD（Chemical Vapor Deposition）シリコン窒化膜13とCVDシリコン酸化膜14とからなる3層積層構造が所望形状となるように形成される。この積層構造12、13、14をマスクとしてその下層に異方性エッティングが施される。

【0087】図7を参照して、このエッティングにより、p型ベース領域3とn型エピタキシャル成長層4aとを貫通してn⁻高不純物濃度基板領域4に達する溝7aが形成される。

【0088】このシリコン異方性エッティング工程には、エッティングの保護膜がメサ部分に必要なので、CVDシリコン酸化膜14などの耐シリコンエッティング性の膜を予め形成した後に、通常の写真製版工程とエッティング工程とを用いてパターンづけが行なわれる。上述したように、溝7aの幅やアスペクト比率は高精度に形成する必要があるため、NF₃、SF₆、SiF₄などのフッ素系ガスを用いてドライエッティングが行なわれる。

【0089】上述のドライエッティング中には、シリコン酸化膜に近い組成の、通常デポジション膜と呼ばれる薄膜が溝7aの側壁に形成される。このため、このシリコン異方性エッティングの直後に、このデポジション膜はフ

フ酸(HF)系の薬液で除去される。

【0090】また、このドライエッティング工程の代わりに、シリコン結晶の面方位により強い異方性を示すKOH、ヒドラジンなどのアルカリ溶液によるウェットエッティングも可能である。これらのアルカリエッティング液自体は、酸系のエッティング液よりは、一般に不純物や薬液自体の構成原子であるKなどの可動イオンになりやすい成分を多く含む。このため、エッティングの後工程として細心の注意による洗浄工程が必要であり、実用的には難しいため上述のドライエッティングの方がより有効である。

【0091】しかし、ドライエッティング装置は、非常に高価であり、エッティング速度が遅く、一度に複数のウエハを処理するパッチ処理能力がないので、量産性に問題がある。このため、費用対生産効率を考えてこのウェットエッティングを選択することも可能である。

【0092】図7に示すように溝7aに挟まれた半導体の突起となる部分にp型拡散領域3を形成するには、たとえば(1)溝7aを形成する前にイオン注入を用いる、(2)溝7aを形成する前にエピタキシャル成長を行なう、(3)溝7aを形成する前に気相拡散を行なう、などの工程を用いることが可能である。この後、所望のp型ベース深さになるように、適度な熱処理が施される。

【0093】このp型ベース領域3もしくはエピタキシャル成長領域4aの深さは、最終工程までの合計の処理時間を考慮して、仕上がりに要求される深さより浅く設定される。しかし、後述の溝7aの側壁からの不純物拡散工程に要する熱処理時間は、通常、このp型ベース領域3の形成に必要な熱処理工程よりも比較的短いものとなる。このため、p型ベース領域3の形成は、溝7aの形成工程より前に行なわれる。しかし、溝7aの側壁面からの拡散工程に要する熱処理時間が、このp型ベース領域3の形成に十分である場合には、溝7a形成の直後にこのp型ベース領域3が形成されてもよい。

【0094】図8を参照して、溝7aの一方の側壁面に、斜めイオン注入法を用いてホウ素(B)が注入され、ホウ素注入領域2aが形成される。

【0095】図9を参照して、上述のホウ素注入時とは傾きを逆にした斜めイオン注入法により、溝7aの他方の側壁面にリン(P)が注入され、リン注入領域1aが形成される。

【0096】このように溝7aの側壁面から不純物を導入する方法としては、たとえば斜めイオン注入法があるが、これ以外にも、B₂H₆やPH₃ガスなどを使うガス拡散法や、ガス拡散の一種であるがボロンナイトライドなどの固体ソースを使う方法もある。また、SOG(Spin on Glass)と呼ばれる拡散種の濃度の高い液体ガラスを溝7aに流し込み熱処理により拡散種を拡散させる方法もある。しかし、これらの方法では、溝7aの

一側面のみに選択的に拡散させることはできず、またそれによって形成された拡散種の不純物濃度の制御性も10%以上と悪く、本発明の構造に要求される高精度の不純物拡散固定には不向きである。

【0097】そこで、上述したようにイオン注入法が用いられる。一般に、このイオン注入法では注入された原子の濃度の制御性が0.1%以上と高精度であり、その他の工程のばらつきを考慮した最終的な仕上がり濃度や拡散プロファイルも3%以内と、非常に高精度に制御できる。

【0098】また、溝7aの深さと開口部の寸法比率であるアスペクト比が20:1程度と非常に大きい。このため、溝7aの側壁面に不純物を導入するには、ウエハ表面に対して鉛直方向から、 $t \text{ a n}^{-1}$ (1/20) ≈ 2.9°程度傾いた角度でイオン注入を行なう必要がある。所望の溝側面にのみイオン注入をするためには、ウエハと注入するイオン線とのなす角度の制御性が良いことがこの工程の一番重要な点である。このようにして、溝の両方の側面に、独立したp型とn型との不純物注入が行なわれる。

【0099】図10を参照して、イオン注入により導入したp型およびn型の不純物のプロファイルを最終的に要求される拡散プロファイルに近づけるために、両者の領域1a、2aに同時に熱処理が行なわれる。

【0100】この熱処理の際に、イオン注入した原子が、溝7aの側壁面から雰囲気中に外方向拡散するのを防ぐ目的で、イオン注入後、溝7aは速やかに絶縁膜であるCVDシリコン酸化膜によって埋込まれる。また、できるだけ速やかに溝7aを埋込むことにより、製造工程の雰囲気中のゴミが、溝7aの内部に侵入するのを防ぐこともできる。

【0101】溝7aの中を半絶縁膜としてシリコンで埋込む場合には、まず前述したCVDシリコン酸化膜の代わりに薄い熱酸化膜をつけた状態で熱処理が行なわれる。そして、ドライエッティングなどの方法で少なくとも溝7a底面の酸化膜が除去された後に、CVD法などによって前述した各種形態のシリコンが埋込まれる。

【0102】図11を参照して、イオン注入により導入したp型およびn型不純物を拡散させるために、熱処理が行なわれる。これにより、溝7aによって挟まれる領域に、n型拡散領域1とp型拡散領域2とが形成される。絶縁膜7に、全面エッティングによる膜後退工程、いわゆるエッチバックが施される。

【0103】図12を参照して、これにより、溝7aの側壁面においてp型ベース領域3の側面が露出する。なお、この絶縁膜7の除去時に、3層積層構造の最上層のCVDシリコン酸化膜14も除去される。

【0104】この絶縁膜7のエッチバック工程は、ドライエッティングおよびウェットエッティングのいずれでも可能であるが、精度よく加工するには、一般にドライエッ

チングが望ましい。

【0105】図13を参照して、この後、たとえば熱酸化法により、溝7aの側壁面において露出したシリコン部分にシリコン酸化膜よりなるゲート絶縁層8が形成される。

【0106】図14を参照して、溝7aの上部を埋込むとともにCVDシリコン窒化膜13上を覆うように、不純物が導入された多結晶シリコン膜(ドープトポリシリコン膜)9がCVD法により形成される。このドープトポリシリコン膜9にエッチバックが施される。

【0107】図15を参照して、これにより、p型ベース領域3の側面にゲート絶縁層8を介在して対向するゲート電極層9が形成される。この後、CVDシリコン窒化膜13と熱酸化膜12とが順次除去される。

【0108】図16を参照して、これにより、p型ベース領域3の上部表面が露出する。図17を参照して、露出したp型ベース領域3上および充填された溝7a上に、キャップ酸化膜15が熱酸化法により形成される。このキャップ酸化膜15上には、通常の写真製版技術により、所望の形状を有するレジストパターン21aが形成される。このレジストパターン21aをマスクとしてイオン注入を行なうことにより、p型ベース領域3内に、「ソースn」拡散領域5が形成される。レジストパターン21aが除去された後、通常の写真製版技術およびエッチング技術により、p型ベース領域3上のキャップ酸化膜15のみが選択的に除去される。

【0109】図18を参照して、このようにして露出し

Wn (=Wp) (μm)	Ndmax (cm^{-3})	Ron ($\text{m}\Omega\text{cm}^2$)
1.5	1.74e16	1.1
3.0	8.70e15	2.2
6.0	4.35e15	4.4

【0115】この結果と図19のシミュレーション結果と比べると、降伏電圧Vbrが低下し始める不純物密度はWnが小さいときは理論値とよく合う。しかし、Wnが大きいとシミュレーションの方がより低い不純物密度で降伏電圧が低下することがわかる。これは、Wnが大きくなつてLdに近づくとpn繰返し構造部の端部(すなわちp型ウェル303寄りの部分とドレインn+領域304寄りの部分)で、電界が集中して臨界電界に容易に達するようになるためである。

【0116】また、オン抵抗はシミュレーションの方が1~4割程大きめになっている。これはオン状態であつてもビルトイン電圧とY方向の内部電圧降下とに対応してpn繰返し構造部の接合部が逆バイアスされており、横方向に若干空間電荷領域が延びてn型領域301内の通電可能面積が目減りするためである。

【0117】この目減り量はビルトイン電圧0.7Vに対して、

たp型ベース領域3の表面に接するようにソース電極層10が形成される。

【0110】なお、本製造方法では図1に示すp+拡散領域6のない場合について示したが、必要な場合には、ゲート電極層9を溝7aのn型拡散領域1の形成される側壁面側に寄せて形成することで、ゲート電極層8とp型ベース領域3とにはさまれる溝7a内の第1主面にp+拡散領域6を形成することもできる。

【0111】次に、300V級MOSFETを想定した場合の図58に示す従来例の構造と図1に示す本実施の形態の構造について数値シミュレーションを行なった結果について説明する。

【0112】図19と図20とは、図58に示す従来例の構造のMOSFETについて数値シミュレーションを行なった結果を示すグラフである。300V級素子を想定しているため、図58に示す寸法Ldは20 μm としている。

【0113】図19は、Wn (=Wp) を6 μm 、3 μm 、1.5 μm とし、その各場合におけるn型領域301とp型領域302との不純物密度を変化させたときの降伏電圧とオン抵抗とを示している。また、上記の(4)式から導かれる各Wnの値におけるn型領域301の不純物密度Ndの最大値と、その場合に(1)式から計算されるRonをまとめると表1のようになる。

【0114】

【表1】

【0118】

【数7】

$$dn = 0.21 / \sqrt{Nd / 1e16} \quad (\mu\text{m}) \quad \cdots (7)$$

【0119】と見積もることができ、Wnの両側からdnが減ることになる。Nd = 1e16、Wn = 1.5 μm の条件では、実効的なn型領域301の幅は1.08 μm となって、オン抵抗が(1)式で計算される値よりも約39%高くなることがわかる。この傾向は、(7)式からわかるように、Wn、Wpを小さくしてNd、Naを高めた設計とするほど顕著となる。

【0120】またシミュレーションで調べた結果によると、pn繰返し構造部のn型領域301とp型領域302との間にシリコン酸化膜を挟んだ方が、オン状態での空間電荷領域の広がりが少なくなつてオン抵抗が若干改善されることが判明している。

【0121】図20はn型領域301とp型領域302との不純物密度の比率をずらした場合に、どの程度降伏

電圧が変化するかを数値シミュレーションした結果を示すものである。理想的な $N_d = N_a$ の場合に比べて、 N_a が多すぎても少なすぎても降伏電圧は減少する。 N_d を高めてオン抵抗を下げるほど降伏電圧の減少の度合いが大きくなる。300V級素子としては降伏電圧は340V程度以上欲しいところであるが、その場合、オン抵抗を $2.8 \text{ m}\Omega \text{ cm}^2$ 狹いでは $\pm 11\%$ 程度の不純物密度の差が許容できるが、オン抵抗を $1.4 \text{ m}\Omega \text{ cm}^2$ 狹いでは $\pm 4\%$ 程度しか許容できないことがわかる。

【0122】なお、この構造ではオン状態で電子だけが導通にあずかるユニポーラ素子であるため、通常のパワーMOSFETと同様にMOSチャネルがオン・オフするだけの過渡現象で高速にスイッチングすることができる。

【0123】次に、図21と図22とは、図1の本実施の形態の構造について数値シミュレーションを行なった結果を示すものである。図21は、 $W_n (=W_p=W_d)$ を $1 \mu\text{m}$ と $2 \mu\text{m}$ とし、拡散長を $CHRN$ を W_n の 0.68 倍とした場合に、表面不純物密度 $C_{sn} (=C_{sp})$ を変化させると降伏電圧とオン抵抗とがどのように変化するかを示している。図21を参照して、この場合でも不純物密度を増やすとオン抵抗 R_{on} は比較的直線的に減少し、降伏電圧 V_{br} はある値以上の不純物密度でやや急速に低下する傾向を示す。またこの構造では、 $W_n = 1 \mu\text{m}$ で降伏電圧 340V を狙うとオン抵抗は $1.9 \text{ m}\Omega \text{ cm}^2$ 程度となることがわかる。

【0124】ここでは、 $W_n = W_p = W_d$ としているため、 $W_n = 2 \mu\text{m}$ では溝7a間の間隔は $6 \mu\text{m}$ となる。これ以上、溝7aの間隔が広くなると降伏電圧を維持できなくなるため、溝7aの深さに比べて溝7aの間隔は3分の1以下にするのが実用的な限界と考えられる。

【0125】図22は、図1に示す本実施の構造で C_{sp}/C_{sn} の比率を変化させた場合の降伏電圧の変化を示すものである。図22を参照して、降伏電圧は、 $C_{sp}/C_{sn} = 1.05$ で極大となることがわかる。このシミュレーションでは前述したように低不純物密度のn+シリコン内にp-n-p溝線返し構造を作り込むことを想定している。このため、n型拡散領域1とp型拡散領域2とはバックグラウンドとして $1.6 \times 10^{-4} \text{ cm}^{-3}$ のn型不純物を含み、かつ溝7aのシリコンは $5.0 \times 10^{-3} \text{ cm}^{-3}$ のn型不純物を含んでいる。これにより、 C_{sp} を C_{sn} よりやや多めにする必要が発生したものである。

【0126】また図1の構造では、オン抵抗 $1.9 \text{ m}\Omega \text{ cm}^2$ で降伏電圧 340V が期待できる C_{sp}/C_{sn} の比率の許容範囲は $\pm 5\%$ 程度となり、図58に示した従来例の構造の結果と全く遜色ないことがわかる。

【0127】また本実施の形態の製造方法では、図8と図9とに示すように溝7aの側壁面に斜めイオン注入法を用いて不純物を導入等することで、n型拡散領域1と

p型拡散領域2とを形成することができる。このイオン注入技術により不純物を導入できるため、不純物量の制御精度は $\pm 1\%$ とエピタキシャル成長法に比べると極めて高くできる。またX方向の不純物の拡散についても側壁面を酸化膜などでマスクできるため不純物の異常な拡散がない。これにより、 $1 \mu\text{m}$ 以下の微細な接合構造を容易に形成できるため、微細寸法でかつ正確なpn不純物比を持ったpn構造1、2を形成することができる。

【0128】以上より、本実施の形態によれば、十分な精度で1ミクロンオーダの微細なpn構造1、2を実現可能なため、優れたオン電圧と降伏電圧さらに高速スイッチング特性を両立した高耐圧半導体素子を得ることができる。

【0129】またpn不純物比の精度は、等しいY位置でたとえば互いに隣り合っているような比較的近い位置にあるpn構造同士で高ければ十分であり、遠く離れたpn構造同士でそれでも降伏電圧に影響しないため、ウエハ面内でのマクロなばらつきによる問題が少ない。

【0130】また異なるY位置の部分間で不純物密度がずれていっても降伏電圧に影響しない。このため、溝7aの側壁面にトレニチングなどによるテーパ角が多少あっても、左右が対称な形状でありさえすれば深さ方向に不純物密度が多少変化していても問題が少ない。

【0131】またこの構造では、溝7aを一度掘るだけでよいため、工程が簡単でコストを比較的安くすることができます。

【0132】実施の形態2

図23は、本発明の実施の形態2における高耐圧半導体装置の構成を概略的に示す断面図である。図23を参照して、本実施の形態の構造は、上述した実施の形態1の構造と比較して、溝7aの両側壁面に同一導電型の不純物拡散領域1、2を設けた点で異なっている。具体的には、一方の溝7aの両側壁面にはともにn型拡散領域1が形成されており、他方の溝7aの両側壁面にはともにp型拡散領域2が設けられている。そして、この両側壁面にn型拡散領域1が設けられた溝7aと両側壁面にp型拡散領域2が設けられた溝7aとが交互に配置されている。

【0133】また、このような構成としたため、各溝7aごとにゲート電極層9を設ける必要はなく、両側壁面にn型拡散領域1が形成された溝7a内にのみゲート電極層9が形成されればよい。また両側壁面にp型拡散領域2が形成された溝7aの第1主面にはp+不純物拡散領域6が形成されている。

【0134】なお、これ以外の構成については実施の形態1の構造とほぼ同じであるため、同一の部材については同一の符号を付し、その説明を省略する。

【0135】この高耐圧半導体素子のY-Y'線上に沿う断面におけるネット不純物密度分布は図24に示すよう

になっている。図24を参照して、本実施の形態でも、実施の形態1と同様、n型拡散領域1とp型拡散領域2とは、各々、溝7aの側壁面から拡散された不純物密度分布を有している。

【0136】次に、本実施の形態の製造方法について説明する。図25～図30は、本発明の実施の形態2における高耐圧半導体装置の製造方法を工程順に示す概略断面図である。

【0137】図25を参照して、実施の形態1で説明したと同様の方法により、n型高不純物濃度基板1上にn型エピタキシャル成長層4aとp型不純物拡散領域3とが形成される。このp型不純物拡散領域3上に、熱酸化膜12aとCVDシリコン窒化膜13aとCVDシリコン酸化膜14aとが順次積層された後、通常の写真製版技術およびエッチング技術により所望の形状にバーニングされる。このバーニングされた積層構造12a、13a、14aをマスクとして、その下層に異方性エッチングが施される。これにより、p型不純物拡散領域3とn型エピタキシャル成長層4aとを貫通してn型高不純物濃度基板4に達する溝7aが形成される。

【0138】そして積層構造12a、13a、14aをマスクとして斜め回転イオン注入法によりホウ素が溝7aの両側壁面に注入される。これにより溝7aの両側壁面にはホウ素注入領域2aが形成される。この斜め回転イオン注入は、溝7aの深さと開口部の寸法比率であるアスペクト比が実施の形態1と同様20:1程度であるため、ウェハ表面に対して鉛直方向から、 $\tan^{-1}(1/20) \approx 2.9^\circ$ 程度ずらした角度で行なわれる。

【0139】この後、溝7a内を埋込み、かつCVDシリコン酸化膜14a上を覆うように、絶縁膜であるCVDシリコン酸化膜が形成される。この後、このCVDシリコン酸化膜にエッチバックが施される。

【0140】図26を参照して、このエッチバックにより、溝7a内を埋込む充填層7が形成される。またこのエッチバック時に、積層構造の最上層のCVDシリコン酸化膜14aも同時に除去される。この後、CVDシリコン窒化膜13aと熱酸化膜12aとが順次除去され、p型ベース領域3の上部表面が露出する。

【0141】図27を参照して、露出した表面全面を覆うように熱酸化膜12bとCVDシリコン窒化膜13bとCVDシリコン酸化膜14bとが順次積層された後、通常の写真製版技術およびエッチング技術によりバーニングされる。この積層構造12b、13b、14bをマスクとしてその下層に異方性エッチングを施すこと、p型ベース領域3とn型エピタキシャル成長層4とを貫通してn型高不純物濃度基板4に達する新たな溝7aが溝7aの間に形成される。

【0142】この後、積層構造12b、13b、14bをマスクとしたままで、斜め回転イオン注入法により、新たに形成された溝7aの両側壁面にリンが注入され

る。これにより、新たに形成された溝7aの両側壁面には、リン注入領域1aが形成される。

【0143】図28を参照して、新たに形成された溝7a内を埋込み、かつCVDシリコン酸化膜14b上を覆うように絶縁膜であるCVDシリコン酸化膜7bが形成される。この状態で熱処理が施されることで、ホウ素注入領域2aとリン注入領域1aとの不純物が拡散させられる。

【0144】図29を参照して、これにより、溝7aに挟まれる領域に、互いにpn接合を形成するn型拡散領域1とp型拡散領域2とが形成される。

【0145】この後、図12～図17に示す実施の形態1と同様の工程を経ることにより、図30に示す本実施の形態の高耐圧半導体素子が製造される。

【0146】なお、図30において実施の形態1と同一の部材については同一の符号を付している。

【0147】本実施の形態の構造でも、 $1\mu m$ 以下の微細なpn構造1、2を作ることができるために、実施の形態1と同様、優れたオン電圧と降伏電圧さらに高速スイッチング特性を得ることができる。しかし、本実施の形態では、1つの溝7aの両側壁面に同じ導電型の不純物拡散領域1、2が配置されているため、同一導電型の不純物拡散領域1、2の幅は実質的に2倍になってしまふ。よって、溝7aの形状が実施の形態1と同じ場合、実施の形態1よりも性能的にはやや劣る。

【0148】また、n型拡散領域1を作るための溝7aとp型拡散領域2を作るための溝7aとを2回に分けて作る必要があり、工程が複雑になってコストが増すという問題もある。しかし、この構造では、p-n-p構造返し構造の両端をp型拡散領域2で終端したり、n型拡散領域1で終端したりすることが可能なので、設計上の自由度を高くできる利点がある。

【0149】実施の形態3

図31は、本発明の実施の形態3における高耐圧半導体素子の構造を概略的に示す斜視図である。図31を参照して、この構造は、実施の形態1の構造を実際の素子の周辺部とに適用した場合の第1の例を示すものである。X方向の終端部とZ方向の終端部とに酸化シリコンなどの絶縁膜31を介してSIPoS(semi-insulating polycrystalline silicon)膜などの抵抗性フィールドプレート膜32が設けられている。抵抗性フィールドプレート膜32のソース側端部はソース電極(図示せず)に電気的に接続され、ドレイン側端部はドレインn+領域4に電気的に接続されている。

【0150】なお、これ以外の構成については、実施の形態1の構成とほぼ同じであるため、同一の部材については同一の符号を付し、その説明を省略する。

【0151】p-n-p構造返し構造部では上述のとおりオフ状態で、電界がY方向に一様な長方形になる。すなわち電位が直線的な分布を示す。このため、両端がソ

ス電位とドレイン電位とに固定された抵抗性フィールドプレート膜32と矛盾なく等電位面がつながって、p-n-溝線返し構造部の降伏電圧がそのまま得られる。

【0152】さらに、抵抗性フィールドプレート32の働きで封止樹脂などの中のイオンなどによる影響を防いで長期的にも安定な降伏電圧が得られる。また終端構造のための面積が少なくて済むため、安いコストで製造することができる。

【0153】実施の形態4

図32は、本発明の実施の形態4における高耐圧半導体装置の構成を概略的に示す断面図である。図32を参照して、この構造は、実施の形態1の構造を実際の素子の周辺部に適用した場合の第2の例を示すものである。またこの構造は、p-n-溝線返し構造を低不純物密度のn-半導体領域33の中に形成することで、n-半導体領域33の中にできる空乏層の先端をソース側のシリコン表面に出して終端する一般的なブレーナーパッシベーション構造に適用したものである。

【0154】ソース側表面部のX方向電界を緩和するため、図示したようなフィールドプレートや、一般的なガードリング構造さらに低濃度p型拡散層を用いたリサーフ構造などが使用できるなど、従来から利用されたきたパッシベーションでも終端することができる。

【0155】この構造について降伏電圧の拡散長(CHR)依存性を数値シミュレーションした結果を図33に示す。図33を参照して、“peri-1”と示したもののが、図32に示す本実施の形態の構造についての結果であり、参考として図1のp-n-溝線返し構造だけで計算した降伏電圧とオン抵抗とを“cell”として示す。

【0156】この結果より、p-n-溝線返し構造部の降伏電圧は拡散長CHRにはあまり依存しないが、周辺部降伏電圧は拡散長CHRが大きくなると大幅に減少することがわかる。これは、p-n-溝線返し構造部と外周n-半導体領域33との接点において線返し部端のn型、p型拡散領域1、2と外周n-半導体領域33とが作る接合の長さは線返し部よりも長くなるが、拡散長CHRが大きいとさらに長くなって、ここでも電界の変化が激しくなり電界集中が起きるためである。

【0157】したがって、図32のような周辺構造を使用する場合、拡散長CHRをWn、WPに比べて短めに設計する必要がある。

【0158】さらにこのような周辺構造でCsp/Csnの比率が降伏電圧に及ぼす影響を数値シミュレーションした結果を図34に示す。図34を参照して、p-n-溝線返し構造部についてのシミュレーション結果の図22と比べると、降伏電圧が極大になるCsp/Csnの比率が、10%程度大きい方にずれている。これにより、このような周辺構造で終端するときはp型不純物の注入量を多めにする必要があることがわかる。

【0159】なお、CHRを0.91μmと長めに設定した場合、Csp/Csnの比率を1.1程度とするとやや降伏電圧が増加するものの、300Vの降伏電圧は得られなくなる結果となった。

【0160】また降伏時の電流がチップの周辺部に流れると、局所的な発熱による破壊などの問題が考えられる。このため、一般的にp-n-溝線返し構造の中央部より周辺部の降伏電圧をやや高めにすることによって設計する必要がある。今回のp-n-溝線返し構造では、溝7aの間隔を狭くするとCsn、Cspを高くしたときの降伏電圧の低下がより起こりにくいうことが数値シミュレーションより判明している。このため、p-n-溝線返し構造の中央部より周辺に近い部分において溝7aの間隔を狭めたパターンとすることで、より降伏に強い設計とすることができる。

【0161】実施の形態5

図35は、本発明の実施の形態5における高耐圧半導体装置の構成を概略的に示す斜視図である。図35を参照して、この構造は、図32の断面に直交する面(乙方向に沿う面)の周辺構造の例を示すものである。低不純物密度のn-半導体領域33とp-n-溝線返し構造とが位置Zjで接続されている。

【0162】なお、これ以外の構成については、図32に示す構成とほぼ同じであるため、同一部材については同一符号を付し、その説明を省略する。

【0163】この構造について降伏電圧を三次元数値シミュレーションした結果、図1に示すp-n-溝線返し構造部で得られた降伏電圧と殆ど変わらない結果となった。したがって、この断面構造においては降伏電圧が周辺構造との関係で大きく低下する危険はなく、優れた降伏耐量が簡単に得られる利点がある。

【0164】実施の形態6

図36は、本発明の実施の形態6における高耐圧半導体装置の構成を概略的に示す斜視図である。図36を参照して、この構造は、図1におけるゲート電極層の延在方向と直交する方向にゲート電極層を配置した構造の一例を示すものである。つまりゲート電極層9を埋込むための溝9aが、一方の溝7aから他方の溝7aに向かう方向に沿って延在するように設けられている。またこの溝9aは、p型ベース領域3を貫通してn型拡散領域1とp型拡散領域2とに達する深さで形成されている。この溝9aの内壁面を覆うようにゲート絶縁層8が形成されており、ゲート電極層9が溝9aを埋込み、かつ溝7aと直交する方向、すなわち一方の溝7aから他方の溝7aに向かう方向に延在している。

【0165】なお、ソースn+拡散領域5は、p型ウェル領域3内の第1主面であって、溝9aの側壁に面するよう形成されている。

【0166】なお、これ以外の構成については、実施の形態1の構成とほぼ同じであるため、同一の部材につい

ては同一の符号を付し、その説明を省略する。

【0167】次に、本実施の形態の製造方法について説明する。本実施の形態の製造方法は、まず図5～図11に示す実施の形態1と同様の工程を経る。この後、図11に示す絶縁層7にエッチパックが施される。

【0168】図37を参照して、これにより、溝7a内を埋込み、p型ベース領域3の側壁を覆うように充填層7が形成される。なお、このエッチパックの際に、CVDシリコン酸化膜14が同時に除去される。さらにこの後、熱酸化膜12とCVDシリコン窒化膜13とが順次除去される。この状態を斜視図で示したものが図38である。

【0169】図38を参照して、第1主面上に、再度熱酸化膜12とCVDシリコン窒化膜13とCVDシリコン酸化膜14とが積層して形成された後、通常の写真製版技術およびエッチング技術により所望の形状にパターンングされる。その状態を図38のA-A'線、B-B'線に沿う断面で示したものが図39と図40である。

【0170】図39と図40とを参照して、この積層構造12、13、14をマスクとしてその下層に異方性エッチングが施される。この異方性エッチングが施された様子の斜視図を図41に示す。また図41のA-A'線、B-B'線に沿う断面を図42と図43とに示す。なお、図41には、エッチング時にマスクとなる積層構造12、13、14の図示は省略してある。

【0171】図41～図43を参照して、上記の異方性エッチングにより、少なくともp型ベース領域3を貫通してn型およびp型拡散領域1、2に達する溝9aが形成される。この際、図42と図43とでは、溝9aの深さが異なる。これは、図42では溝9aはシリコン内に形成されるが、図43ではシリコン酸化膜内に形成されており、このエッチングにおけるシリコンとシリコン酸化膜とのエッチング速度が異なるからである。この後、図13～図17と同様の工程を経た後、図17におけるレジストパターン21aが除去されて、図44と図45とに示す状態となる。

【0172】図44と図45とを参照して、この後、キャップ酸化膜15が、通常の写真製版技術およびエッチング技術により、ゲート電極層9上にのみ選択的に残存される。

【0173】図46と図47とを参照して、これにより、p型ベース領域3とソースn+拡散領域5とp+拡散領域6との表面がキャップ酸化膜15から露出する。この露出した表面に接するようにソース電極10が形成される。

【0174】図1のゲート電極層の配置では、Wn、Wp、Wdを微細化していくとゲートトレンチの幅や、ソースn+拡散領域5の幅などの寸法上の制約が発生する。一方、図36に示す本実施の形態の構造のようにゲ

ート電極層9を溝7aに直交する方向に沿って延在させれば、ゲートトレンチ9aの寸法上の制約はなくなつて、より自由度の高い設計が可能となる。

【0175】また図1のゲート電極層の配置では、Wn、Wp、Wdを微細化していくとゲート電極層9の密度が高まる結果、入力容量が増加し、スイッチング速度が遅くなってしまう。一方、図36に示す本実施の形態の構造のようにゲート電極層9を配置すれば、ゲートトレンチ9aの間隔をWnなどの寸法より広くすることができるため、スイッチング速度が遅くなるという問題を回避することができる。

【0176】実施の形態7

図48は、本発明の実施の形態7における高耐圧半導体装置の構成を概略的に示す斜視図である。図48を参照して、この構造は上述した実施の形態6のゲートトレンチ9aをn型拡散領域1の上だけに設けた構造である。

【0177】なお、これ以外の構成は実施の形態6の構成とほぼ同じであるため同一の部材については同一の符号を付し、その説明を省略する。

【0178】次に、本実施の形態の製造方法について説明する。本実施の形態の製造方法は、図38に示す工程までは実施の形態6と同様の工程を経る。この後、図38に示す第1主面上、熱酸化膜12とCVDシリコン窒化膜13とCVDシリコン酸化膜14とが順次積層された後、通常の写真製版技術およびエッチング技術によりパターンングされる。この積層構造12、13、14をマスクとしてその下層に異方性エッチングが施される。この状態を図49～図51に示す。

【0179】なお図50と図51とは、図49のA-A'線とB-B'線とに沿う概略断面図である。また図49では、3層積層構造12、13、14の図示は省略している。

【0180】図49～図51を参照して、上述の異方性エッチングにより、n型拡散領域1上にのみ、p型ウェル3を貫通した溝9aが形成される。この後、図13～図18に示す実施の形態1の工程とほぼ同様の工程を経ることにより図52と図53とに示す状態となる。

【0181】図52と図53とを参照して、溝9aの内壁面にゲート絶縁層8が形成され、溝9aを埋込むようにゲート電極層9が形成される。ゲート電極層9の上端を覆うようにキャップ酸化膜15が形成される。また、n型拡散領域1との間でp型ベース領域3を挟むようにソースn+拡散領域5が溝9aの側壁に沿って形成され、p型ベース領域3とソースn+拡散領域5とに接するようにソース電極10が形成される。

【0182】本実施の形態では、ゲートトレンチ9aをn型拡散領域1の上だけに設けた構造であるため、ゲート容量が、実施の形態6の構造と比較してさらに3分の1程度に減少することができる。

【0183】この構造を用いてオン抵抗のゲートトレン

チピッチ（実際にはその半分のX方向素子幅Wx）依存性を三次元数値シミュレーションで調べた結果を図54に示す。図54を参照して、図中“3d-sim”は図48に示す本実施の形態の構造に対する計算結果を示し、“2d-sim”は図1に示す実施の形態1の構造に対する計算結果を示している。この結果より、Wx=2μmではほぼ図1のゲート電極層配置と同じオン抵抗が得られるが、Wx=10μmとすると、2倍程度のオン抵抗になることがわかる。

【0184】この場合、本実施の形態の構造（図48）は、実施の形態1の構造（図1）と比較して5分の1のゲート密度となる。これにより、入力容量も5分の1となるのでオン抵抗と入力容量との積で性能を評価する場合には、ゲートピッチが広い方が有利となる。

【0185】実施の形態8

図55は、本発明の実施の形態8における高耐圧半導体装置の構造を概略的に示す斜視図である。図55を参照して、この構造は、実施の形態6のトレンチ型ゲートをブレーナ型ゲートに変えたものである。つまり、ゲート電極層9は、第1主面上にゲート絶縁層8を介在して溝7aに直交する方向に沿って延在している。またこのゲート電極層9は、第1主面においてn型拡散領域1とソースn+拡散領域5とで挟まれるp型ウェル3にゲート絶縁層8を介在して対向するように配置されている。

【0186】なお、これ以外の構成については、実施の形態6の構成とほぼ同じであるため、同一の部材については同一の符号を付し、その説明を省略する。

【0187】本実施の形態では、溝7aに直交する方向に沿ってゲート電極層9が配置されているため、ブレーナゲート構造で必要となる広いゲート間隔を実現することができる。また本実施の形態の構造では、トレンチゲート型素子に比べてゲート間隔が広い分、オン抵抗はやや大きめになるが、ゲート構造を形成するための工程が簡単になるため、より安いコストで製造することができる。

【0188】実施の形態9

図56は、本発明の実施の形態9における高耐圧半導体装置の構成を概略的に示す断面図である。図56を参照して、この構造は、これまで説明してきたp-n-n-溝線返し構造によるものではなく、n-n-溝線返し構造を有している。つまり、比較的不純物密度の高いn型領域1と溝7aとが交互に配置されている。

【0189】この溝7aの図中下側には負の固定電荷を有する絶縁物7cが充填され、その上側にはp型シリコンや酸化シリコンなどの層7dが充填されている。絶縁物7cの固定電荷の量は、n型拡散領域1のネットドナーアイオンの量と等しくなるように設定されている。具体的には、n型領域1の不純物が空乏化したときの電荷量と量が等しくなる反対極性の固定電荷量を絶縁物7cは有している。

【0190】またn型拡散領域1の第1主面側にはp型ウェル3が形成されており、第1主面には、このp型ウェル3を貫通してn型拡散領域1に達する溝9aが形成されている。またn型拡散領域1との間でp型ウェル3の一部を挟むように、第1主面であって溝9aの側壁面に面する位置にソースn+拡散領域5が形成されている。このn型拡散領域1とソースn+拡散領域5とに挟まれるp型ウェル3にゲート絶縁層8を介在して対向するように溝9a内を埋込むゲート電極層9が形成されている。

【0191】第1主面上には、p型ウェル3とソースn+拡散領域5とに接続するようにソース電極10が設けられている。また第2主面上には、n-n-溝線返し構造の第2主面側に形成されたドレインn+領域4に接するようドレイン電極11が形成されている。

【0192】この構造において数値シミュレーションを行なったところ、このような構造でも高い降伏電圧を、高不純物密度のn型拡散領域1を用いて実現できることができた。但し、溝7a内の電荷の量を調整しても、電界のY方向分布は長方形にはできず、図1などの構造に比べるとやや降伏電圧は低めになる。しかし、n型拡散領域1の不純物密度を図1などと同様に高くできるのでオン抵抗はかなり小さくすることができる。

【0193】この構造では、溝7a内に充填される絶縁物の材質を選ぶことにより、電子線などの荷電粒子を素子全体に照射して、絶縁物7c内部の固定電荷量を調整することができる。このため、シリコンプロセス終了後の低温処理で降伏電圧を最適化するような製造方法が可能となる利点がある。もちろん、溝7aを形成するために溝を掘る工程も1回で済むし、高精度の斜めイオン注入機も必要ないので製造コストが安くできる。

【0194】実施の形態10

図57は、本発明の実施の形態10における高耐圧半導体装置の構成を概略的に示す斜視図である。図57を参照して、この構造は、SOI(Semiconductor on Insulator)基板に横型パワーMOSFETを実装する場合に、本発明によるp-n-n-溝線返し構造を適用した例を示すものである。具体的には、シリコン基板51上にシリコン酸化膜などの絶縁層52を介在して半導体層60が形成されている。そしてこの半導体層60に、本発明によるp-n-n-溝線返し構造を適用した横型パワーMOSFETが形成されている。

【0195】半導体層60を貫通して絶縁層52に達する溝7aが複数個互いに距離をおいて配置されている。その溝7a間に挟まれる領域にn型拡散領域1とp型拡散領域2とが第1主面から絶縁層52に達するよう形成されている。そしてこのような構造が繰返されて、p-n-n-溝線返し構造が形成されている。

【0196】n型拡散領域1とpn接合を形成し、かつp型拡散領域2と電気的に接続されたp型領域3が第1

主面に形成されている。このp型領域3の一部をn型拡散領域1との間で挟むようにソースn⁺拡散領域5が形成されている。そしてn型拡散領域1とソースn⁺拡散領域5とに挟まれるp型領域3にゲート絶縁層8を介在して対向するようにゲート電極層9が形成されている。このゲート電極層9は、第1主面上において一方の溝7aから他方の溝7aに向かう方向に沿って延在している。

【0197】このようなSOI型横型素子における降伏電圧を高めるためには、ソース／ドレイン間の距離が長ければよい。また溝7aの深さはこれとは無関係に活性シリコン層の長さ（通常数μm程度）だけあればよいので、溝7aの深さを浅くでき、さらなる微細化でオン抵抗の低減ができる利点がある。

【0198】また、SOI型横型素子では素子間の分離にトレンチ分離が一般的に利用されており、これと同時に溝7aを形成すれば、この素子を大きな工程の変更を加えずに製造することができる。但し、この場合、溝7aの充填物は素子分離用の溝の充填物と同じ酸化シリコンなどの絶縁物になるが、特性的には同等なものが得られる。

【0199】以上の実施の形態1～10の説明では、n型基板を用いたnチャネル型MOSFETについて説明したが、導電型を逆にしたpチャネル型MOSFETやS I (Static Induction) トランジスタなどについても同様に適用できる。

【0200】なお、溝の側壁に不純物を導入する方法としてイオン注入法について説明したが、これ以外に半導体素子の最終性能に影響を及ぼさない範囲の高精度の不純物濃度制御性を持つ方法であればいかなる方法が用いられてもよい。

【0201】また実施の形態1～10において説明した充填層7は、シリコン酸化膜、シリコン窒化膜、ノンドープ多結晶シリコン膜、ノンドープ非晶質シリコン膜、ノンドープ微結晶シリコン膜、有機シリコン膜、高分子有機体などの導電性不純物濃度が極めて低く事実上誘電体（絶縁物）とみなせる膜よりなる群から選ばれる少なくともいずれかの膜よりなっていればよい。

【0202】今回開示された実施の形態はすべての点で例示であつて制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0203】

【発明の効果】本発明の高耐圧半導体装置では、第1および第2の不純物領域の各々は、第1および第2の溝の側壁面から拡散された不純物濃度を有している。このような構造は、たとえば斜めイオン注入法などにより形成することができる。このイオン注入法では、不純物密度

の制御性がエピタキシャル成長法などに比べて格段に高い。このため、ミクロンオーダの微細なp n 繰返し構造を有するパワーMOSFETを、p型、n型の不純物濃度が近くても制御性よく形成することができる。

【0204】また、第1および第2の溝に挟まれる領域に第1および第2不純物領域が形成されている。このため、現行素子の降伏電圧とオン電圧とのトレードオフを大幅に改善することができる。

【0205】上記局面において好ましくは、第3および第4不純物領域に電気的に接続するよう第1主面上にソース電極が形成されおり、第1不純物領域に電気的に接続するよう第2主面上にドレイン電極が形成されている。これにより、縦型のパワーMOSFETに、ミクロンオーダの微細なp n 繰返し構造を実現することができる。

【0206】上記局面において好ましくは、第3および第4不純物領域に電気的に接続するよう第1主面上にソース電極が形成されおり、第1不純物領域に電気的に接続するよう第1主面上にドレイン電極が形成されている。これにより、横型のパワーMOSFETに、ミクロンオーダの微細なp n 繰返し構造を実現することができる。

【0207】上記局面において好ましくは、隣り合う溝同士の間隔は溝の深さの3分の1以下である。これにより、微小なサイズのp n 繰返し構造を実現することができる。

【0208】上記局面において好ましくは、一方の溝の互いに対向する側壁面の一方には第1不純物領域が形成されており、他方には第1不純物領域と異なる導電型の不純物領域が形成されている。この構成は、たとえば斜めイオン注入法で実現することができる。

【0209】上記局面において好ましくは、一方の溝の互いに対向する側壁面の一方には第1不純物領域が形成されており、他方には第1不純物領域と同じ導電型の不純物領域が形成されている。この構成は、たとえば斜め回転イオン注入法で実現することができる。

【0210】上記局面において好ましくは、溝の内部は、第1の不純物領域の一方の溝の側壁面における不純物密度の10分の1以下の不純物密度を有するシリコンで充填されている。これにより、シリコンを材料とする充填層で溝を埋込んでも、充填層の電荷密度が電界分布に著しい影響を及ぼすことを防止することができる。

【0211】上記局面において好ましくは、溝の内部は絶縁層で充填されている。溝を絶縁層で充填しており、絶縁層中の電荷密度は十分少ないため、この電荷密度が電界分布に著しい影響を及ぼすことは防止される。

【0212】上記局面において好ましくは、ゲート電極層は一方および他方の溝に交差する方向に沿って延在している。これにより、より自由度の高い設計が可能となる。またゲート間隔をより広くすることができるため、

ゲート密度の高まりによって入力容量が増加しスイッチング速度が遅くなることを防止することができる。

【0213】上記局面において好ましくは、ゲート電極層はトレンチゲート構造を有しており、第1主面に形成されており、かつ第1不純物領域上にのみ配置されている。これにより、より自由度の高い設計が可能となる。またさらにゲート容量を減少できるため、より一層スイッチング速度の向上を図ることができる。

【0214】上記局面において好ましくは、ゲート電極層がブレーナゲート構造を有し、かつ第1主面に形成されている。これにより、トレンチゲート型よりもゲート間隔を広くでき、ゲート構造形成の工程が簡単になり、安いコストで製造することができる。

【0215】上記局面において好ましくは、互いに隣接する第1および第2の不純物領域からなるp-n構造と溝とが繰返された繰返し構造が形成されている。この繰返し構造の周囲は分離用絶縁層を介在して抵抗性膜で覆われており、抵抗性膜の第1主面側の端部はソース電極に電気的に接続されており、第2主面側の端部はドレイン電極に電気的に接続されている。これにより、繰返し構造の終端部においてp-n繰返し構造の電界が矛盾なく等電位面につながって、p-n繰返し構造の降伏電圧がそのまま得られる。また、抵抗性膜がソース電極とドレイン電極とに接続されることで抵抗性フィールドプレートの働きをし、これにより封止樹脂などの中のイオンによる影響を防いで長期的にも安定な降伏電圧が得られる。また、終端構造のための面積が少なくてすむため安いコストで製造することができる。

【0216】上記局面において好ましくは、互いに隣接する第1および第2不純物領域からなるp-n構造と溝とが繰返された繰返し構造が形成されている。この繰返し構造の周囲は第1導電型の半導体領域に接続されており、ドレイン電極に電圧が印加されたときに繰返し構造から伸びる空乏層の先端が半導体領域内で終端する構成を有している。これにより、繰返し構造の簡易な終端構造を得ることができる。

【0217】上記局面において好ましくは、第1不純物領域の不純物の一方の溝の側壁面からの拡散長は、第1不純物領域の一方の溝の側壁面から第1および第2不純物領域のp-n接合部までの幅よりも短い。第2の不純物領域の不純物の他方の溝の側壁面からの拡散長は、第2不純物領域の他方の溝の側壁面から第1および第2不純物領域のp-n接合部までの幅よりも短い。これにより、p-n繰返し構造での電界の変化を緩和でき、電界集中を防止することができる。

【0218】上記局面において好ましくは、互いに隣接する第1および第2不純物領域からなるp-n構造と溝とが繰返された繰返し構造が形成されている。この繰返し構造の第1主面における中央部よりも周辺部の方が溝の間隔が狭くなっている。これにより、降伏電圧の低下を

より生じにくくすることができる。

【0219】上記局面において好ましくは、半導体基板は、第2主面側に配置された基板と、第1主面側に配置されかつ基板から絶縁された半導体層とを有するSOI基板であって、第1、第2、第3および第4不純物領域は半導体層に形成されている。これにより、SOI型横型パワーMOSFETを実現することができる。

【0220】本発明の高耐圧半導体装置の製造方法では、溝を設け、溝の側壁面から半導体装置の最終性能に影響を及ぼさない範囲の高精度の不純物濃度制御性を持つ方法、たとえば斜めイオン注入法および/または斜め回転イオン注入法で不純物を導入することができる。このイオン注入法は不純物密度の制御性がエピタキシャル成長法に比べて格段に高い。このため、ミクロンオーダーの微細なp-n繰返し構造を有し、かつこのp型およびn型の不純物濃度が近い値でもp-n繰返し構造を制御性よく形成することができる。

【0221】また、ミクロンオーダーの微細なp-n繰返し構造を制御性よく形成することができるため、現行素子の降伏電圧とオン電圧とのトレードオフを大幅に改善することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1における高耐圧半導体装置の構成を概略示す断面図である。

【図2】 図1のY-Y'断面におけるネット不純物密度分布を示す図である。

【図3】 図1の構造における不純物分布のバラメータを説明するための図である。

【図4】 図1のY-Y'断面におけるオフ状態でのX方向電界強度分布を示す図である。

【図5】 本発明の実施の形態1における高耐圧半導体装置の製造方法の第1工程を示す概略断面図である。

【図6】 本発明の実施の形態1における高耐圧半導体装置の製造方法の第2工程を示す概略断面図である。

【図7】 本発明の実施の形態1における高耐圧半導体装置の製造方法の第3工程を示す概略断面図である。

【図8】 本発明の実施の形態1における高耐圧半導体装置の製造方法の第4工程を示す概略断面図である。

【図9】 本発明の実施の形態1における高耐圧半導体装置の製造方法の第5工程を示す概略断面図である。

【図10】 本発明の実施の形態1における高耐圧半導体装置の製造方法の第6工程を示す概略断面図である。

【図11】 本発明の実施の形態1における高耐圧半導体装置の製造方法の第7工程を示す概略断面図である。

【図12】 本発明の実施の形態1における高耐圧半導体装置の製造方法の第8工程を示す概略断面図である。

【図13】 本発明の実施の形態1における高耐圧半導体装置の製造方法の第9工程を示す概略断面図である。

【図14】 本発明の実施の形態1における高耐圧半導体装置の製造方法の第10工程を示す概略断面図である。

る。

【図15】 本発明の実施の形態1における高耐圧半導体装置の製造方法の第11工程を示す概略断面図である。

【図16】 本発明の実施の形態1における高耐圧半導体装置の製造方法の第12工程を示す概略断面図である。

【図17】 本発明の実施の形態1における高耐圧半導体装置の製造方法の第13工程を示す概略断面図である。

【図18】 本発明の実施の形態1における高耐圧半導体装置の製造方法の第14工程を示す概略断面図である。

【図19】 図58の構造で降伏電圧とオン抵抗とをシミュレーションした結果を示す図である。

【図20】 図58の構造で降伏電圧の不純物比依存性をシミュレーションした結果を示す図である。

【図21】 図1の構造で降伏電圧とオン抵抗とをシミュレーションした結果を示す図である。

【図22】 図1の構造で降伏電圧の不純物比依存性をシミュレーションした結果を示す図である。

【図23】 本発明の実施の形態2における高耐圧半導体装置の構成を概略的に示す断面図である。

【図24】 図23のY-Y'断面におけるネット不純物密度分布を示す図である。

【図25】 本発明の実施の形態2における高耐圧半導体装置の製造方法の第1工程を示す概略断面図である。

【図26】 本発明の実施の形態2における高耐圧半導体装置の製造方法の第2工程を示す概略断面図である。

【図27】 本発明の実施の形態2における高耐圧半導体装置の製造方法の第3工程を示す概略断面図である。

【図28】 本発明の実施の形態2における高耐圧半導体装置の製造方法の第4工程を示す概略断面図である。

【図29】 本発明の実施の形態2における高耐圧半導体装置の製造方法の第5工程を示す概略断面図である。

【図30】 本発明の実施の形態2における高耐圧半導体装置の製造方法の第6工程を示す概略断面図である。

【図31】 本発明の実施の形態3における高耐圧半導体装置の構成を概略的に示す斜視図である。

【図32】 本発明の実施の形態4における高耐圧半導体装置の構成を概略的に示す断面図である。

【図33】 図32の構造で降伏電圧とオン抵抗とをシミュレーションした結果を示す図である。

【図34】 図32の構造で降伏電圧の不純物比依存性をシミュレーションした結果を示す図である。

【図35】 本発明の実施の形態5における高耐圧半導体装置の構成を概略的に示す斜視図である。

【図36】 本発明の実施の形態6における高耐圧半導体装置の構成を概略的に示す斜視図である。

【図37】 本発明の実施の形態6における高耐圧半導

体装置の製造方法の第1工程を示す概略断面図である。

【図38】 本発明の実施の形態6における高耐圧半導体装置の製造方法の第2工程を示す概略斜視図である。

【図39】 本発明の実施の形態6における高耐圧半導体装置の製造方法の第3工程を示す図38のA-A'断面に対応する概略断面図である。

【図40】 本発明の実施の形態6における高耐圧半導体装置の製造方法の第3工程を示す図38のB-B'断面に対応する概略断面図である。

【図41】 本発明の実施の形態6における高耐圧半導体装置の製造方法の第4工程を示す概略斜視図である。

【図42】 本発明の実施の形態6における高耐圧半導体装置の製造方法の第4工程を示す図41のA-A'線に沿う概略断面図である。

【図43】 本発明の実施の形態6における高耐圧半導体装置の製造方法の第4工程を示す図41のB-B'線に沿う概略断面図である。

【図44】 本発明の実施の形態6における高耐圧半導体装置の製造方法の第5工程を示す図41のA-A'断面に対応する概略断面図である。

【図45】 本発明の実施の形態6における高耐圧半導体装置の製造方法の第5工程を示す図41のB-B'断面に対応する概略断面図である。

【図46】 本発明の実施の形態6における高耐圧半導体装置の製造方法の第6工程を示す図41のA-A'断面に対応する概略断面図である。

【図47】 本発明の実施の形態6における高耐圧半導体装置の製造方法の第6工程を示す図41のB-B'断面に対応する概略断面図である。

【図48】 本発明の実施の形態7における高耐圧半導体装置の構成を概略的に示す斜視図である。

【図49】 本発明の実施の形態7における高耐圧半導体装置の製造方法の第1工程を示す概略斜視図である。

【図50】 本発明の実施の形態7における高耐圧半導体装置の製造方法の第1工程を示す図49のA-A'線に沿う概略断面図である。

【図51】 本発明の実施の形態7における高耐圧半導体装置の製造方法の第1工程を示す図49のB-B'線に沿う概略断面図である。

【図52】 本発明の実施の形態7における高耐圧半導体装置の製造方法の第2工程を示す図49のA-A'断面に対応する概略断面図である。

【図53】 本発明の実施の形態7における高耐圧半導体装置の製造方法の第2工程を示す図49のB-B'断面に対応する概略断面図である。

【図54】 図49の構造でオン抵抗のゲート間隔依存性をシミュレーションした結果を示す図である。

【図55】 本発明の実施の形態8における高耐圧半導体装置の構成を概略的に示す斜視図である。

【図56】 本発明の実施の形態9における高耐圧半導

体装置の構成を概略的に示す断面図である。

【図57】 本発明の実施の形態10における高耐圧半導体装置の構成を概略的に示す斜視図である。

【図58】 従来の高耐圧半導体装置の構成を文献より推測して示す概略断面図である。

【図59】 図58のY-Y'断面におけるネット不純物密度分布を示す図である。

【図60】 図58のY-Y'断面におけるオフ状態でのX方向電界強度分布を示す図である。

【図61】 図58のX-X'断面におけるオフ状態での電界強度分布を示す図である。

【図62】 従来例の高耐圧半導体装置をエピタキシャル成長法を用いて製造する場合の第1工程を示す概略断面図である。

【図63】 従来例の高耐圧半導体装置をエピタキシャル成長法を用いて製造する場合の第2工程を示す概略断

面図である。

【図64】 従来例の高耐圧半導体装置をエピタキシャル成長法を用いて製造する場合の第3工程を示す概略断面図である。

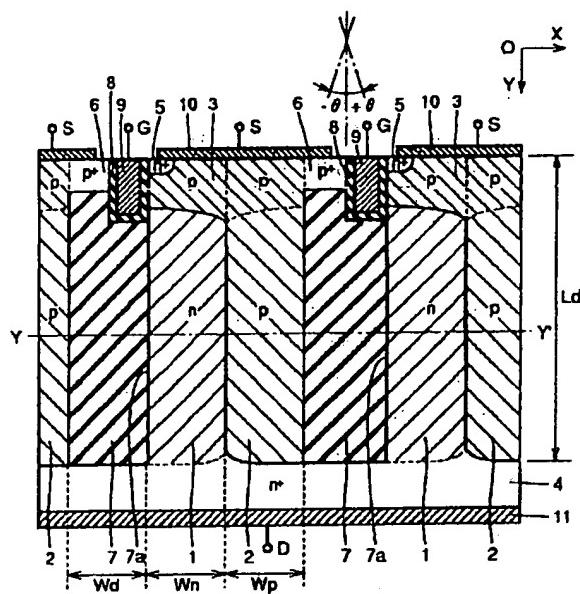
【図65】 従来の高耐圧半導体装置を選択中性子照射によって製造する場合の第1工程を示す概略断面図である。

【図66】 従来の高耐圧半導体装置を選択中性子照射によって製造する場合の第2工程を示す概略断面図である。

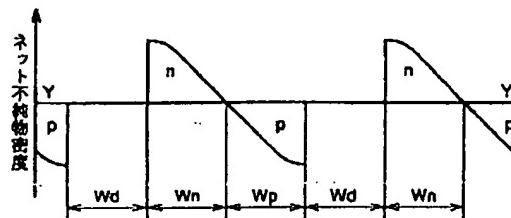
【符号の説明】

- 1 n型拡散領域、2 p型拡散領域、3 p型ウェル、4 ドレインn⁺領域、5 ソースn⁺拡散領域、6 p⁺拡散領域、7 a溝、7充填層、8ゲート絶縁層、9ゲート電極層、10ソース電極層、11ドレイン電極層。

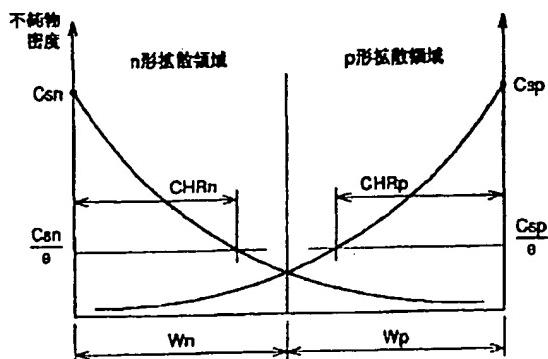
【図1】



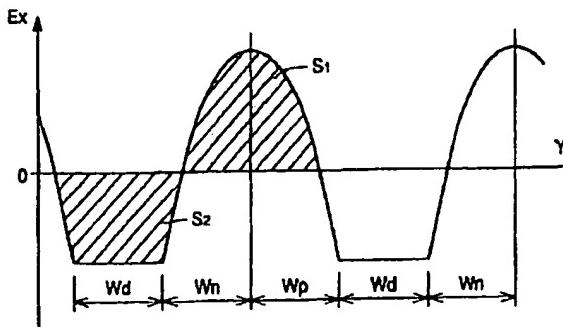
【図2】



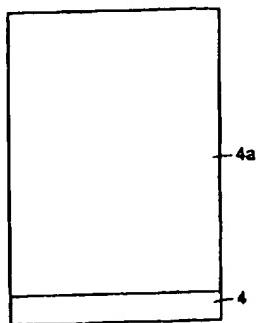
【図3】



【図4】

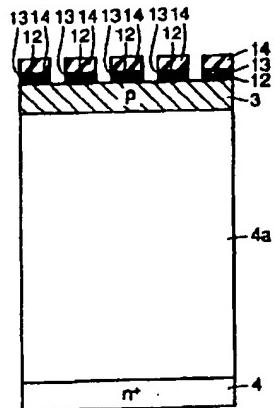


〔図5〕

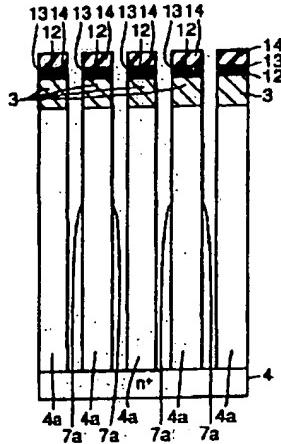


【図9】

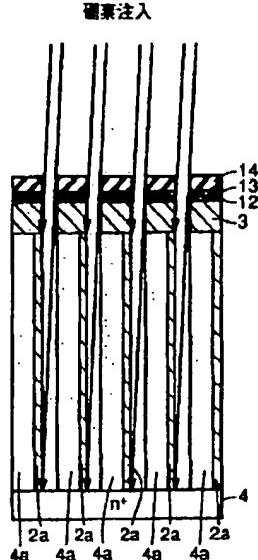
[图 6]



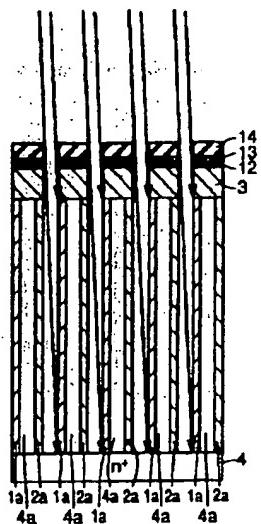
[図7]



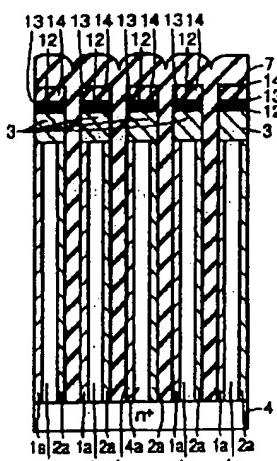
[図8]



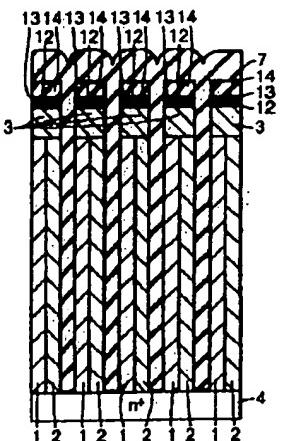
标注



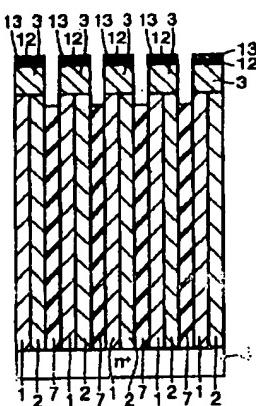
[図10]



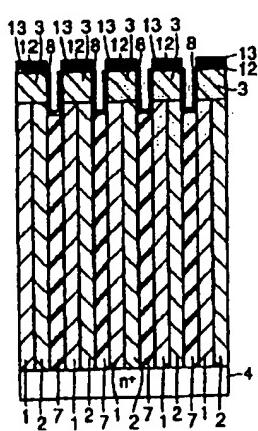
[図11]



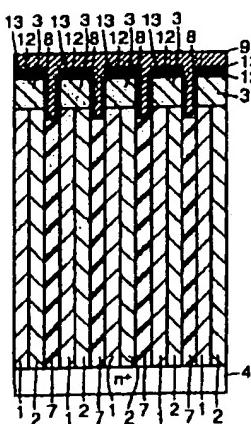
【図12】



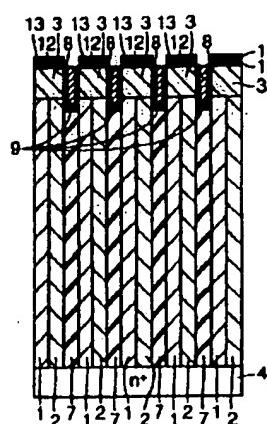
[图 1-3]



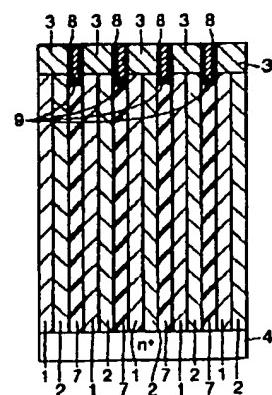
[図14]



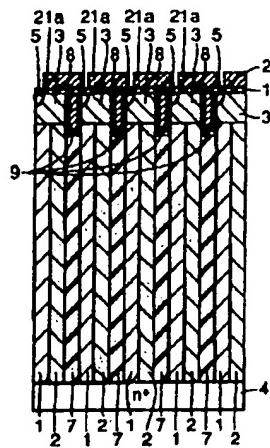
[图15]



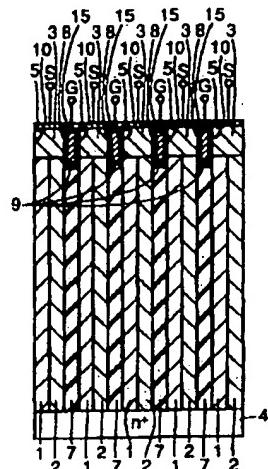
[図16]



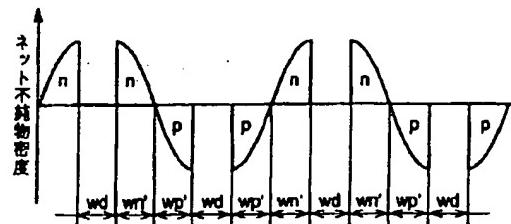
【図17】



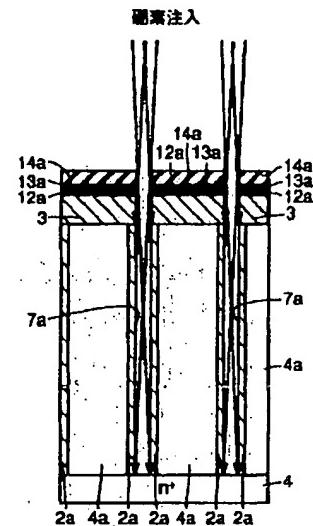
【図18】



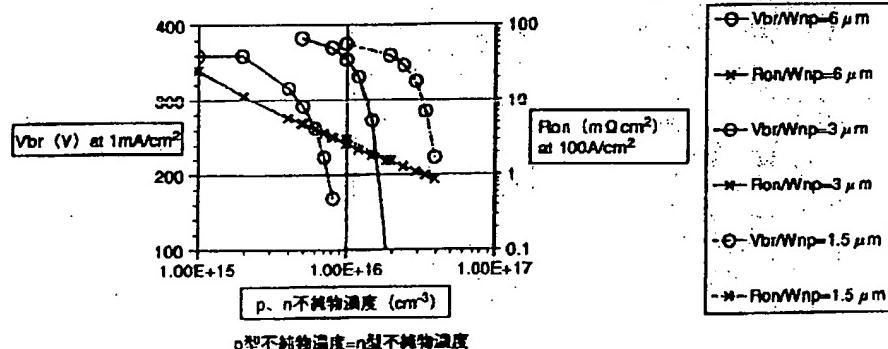
【図24】



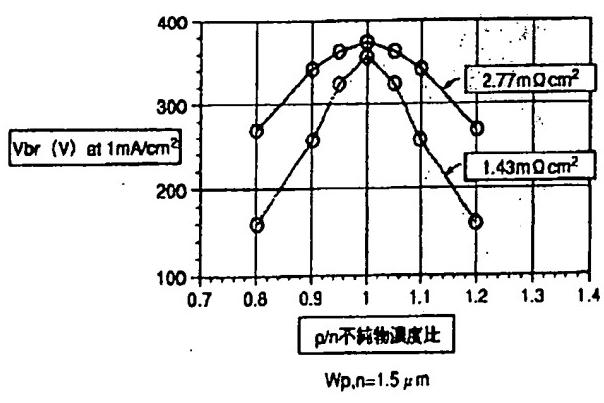
【図25】



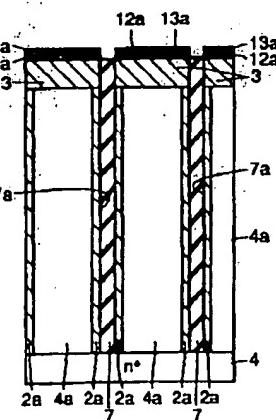
【図19】



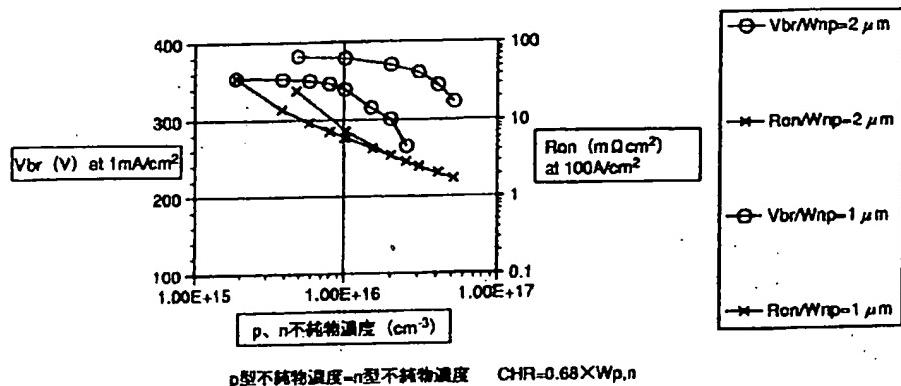
【図20】



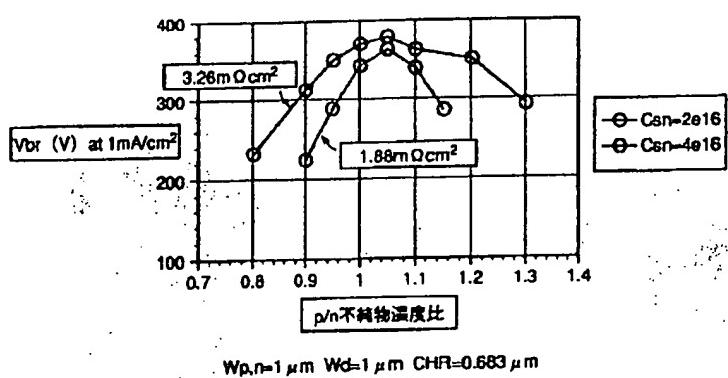
【図26】



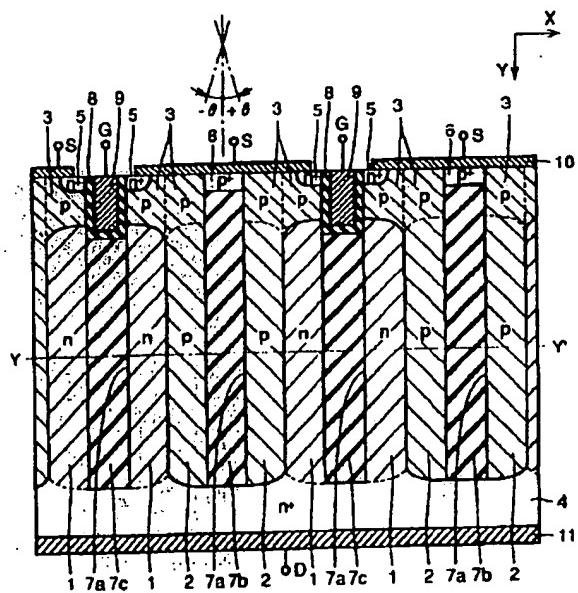
〔図21〕



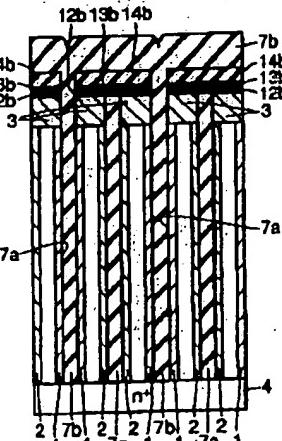
[図22]



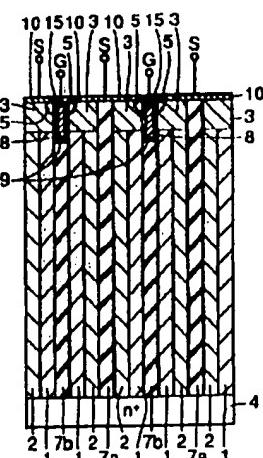
【图23】



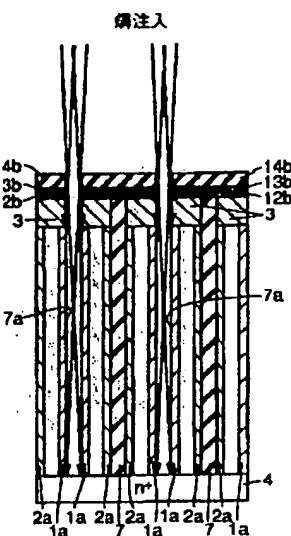
〔図28〕



[図30]

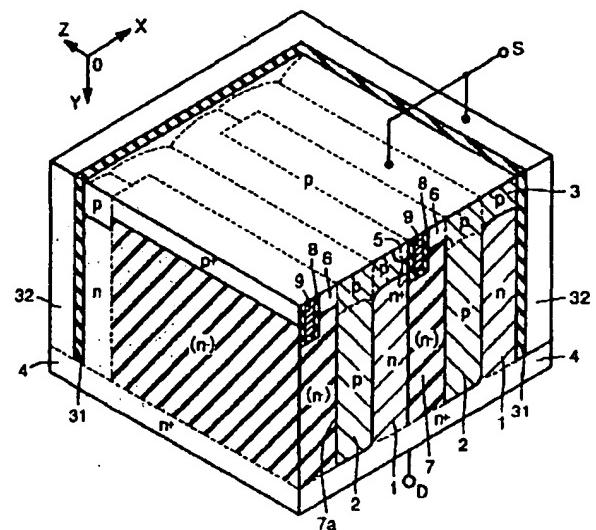


【图27】

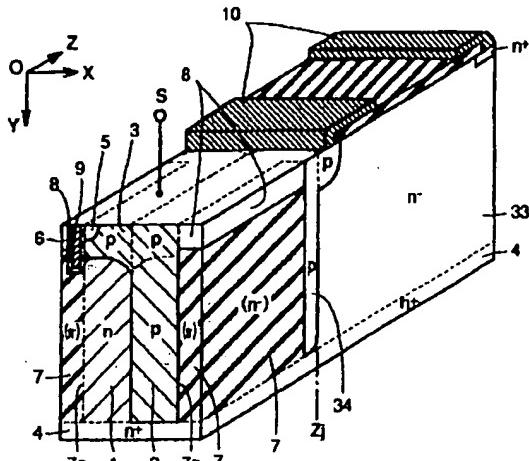


【図29】

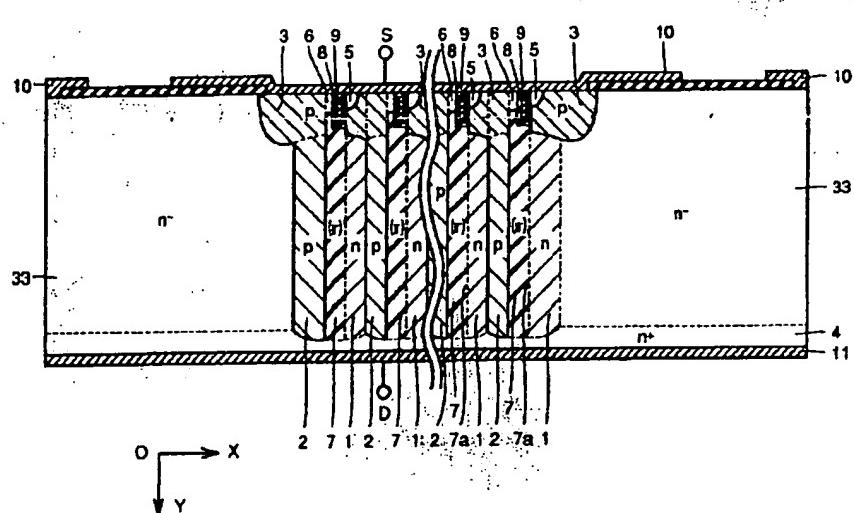
[図31]



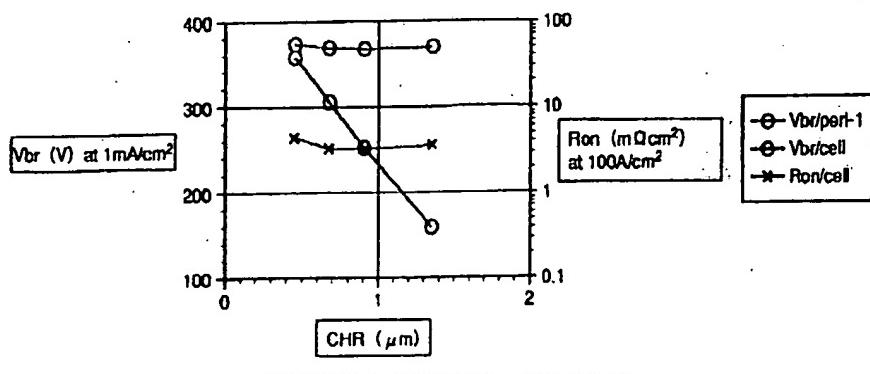
[図35]



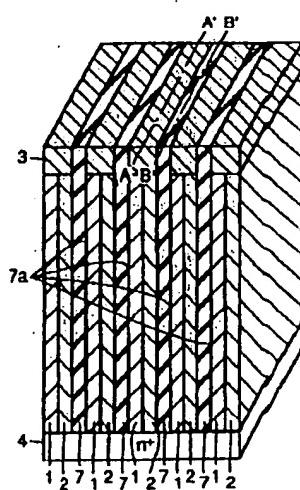
[図32]



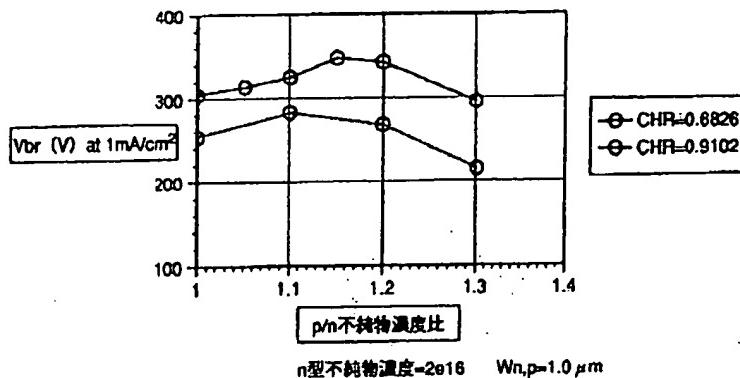
[図33]



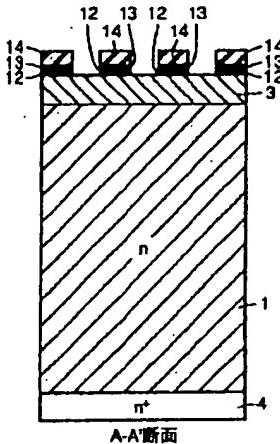
[図38]



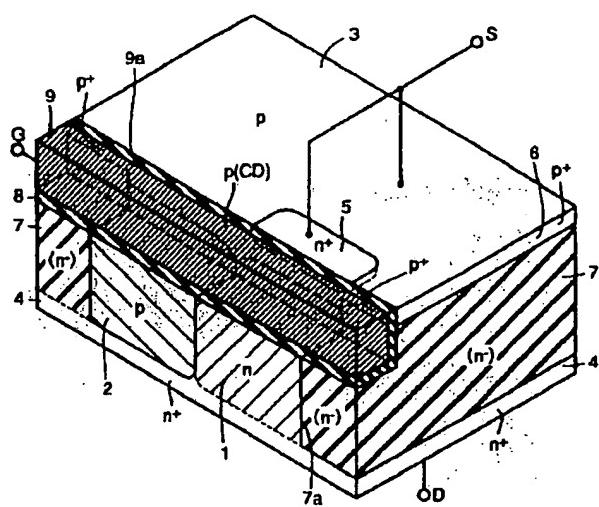
[图 34]



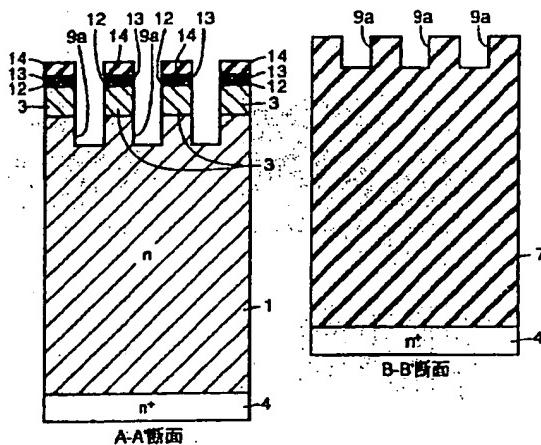
[図39]



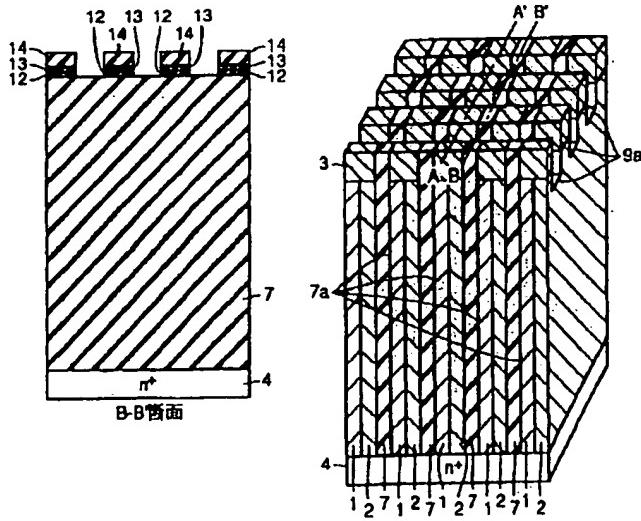
[図36]



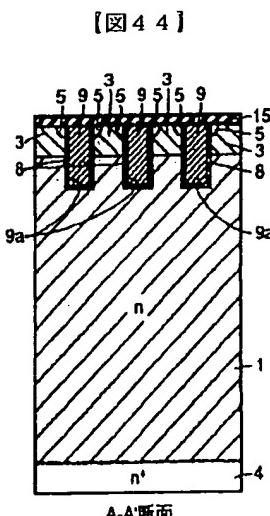
[図42]



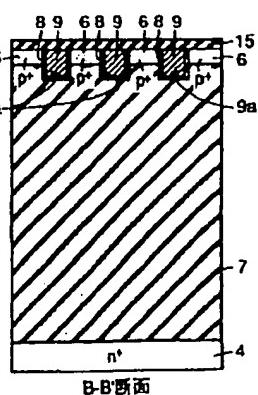
[图40]



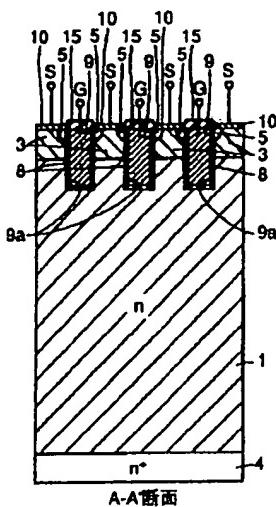
[图 41]



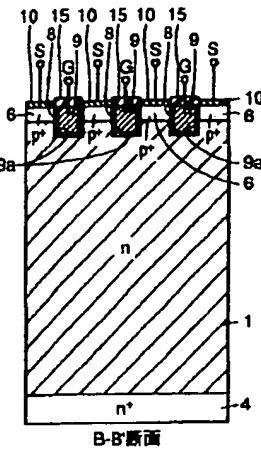
[图45]



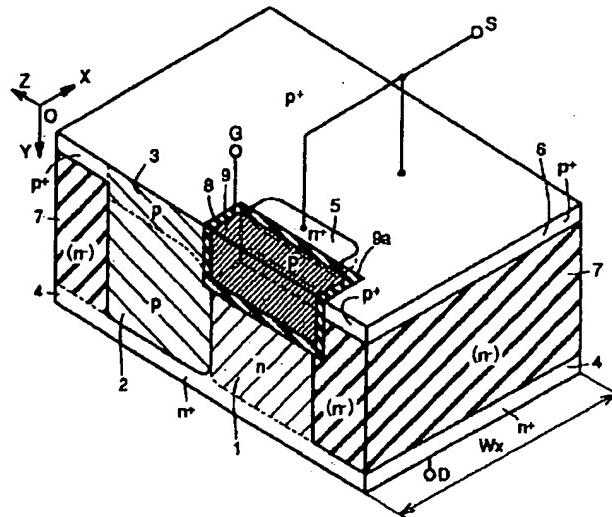
【図46】



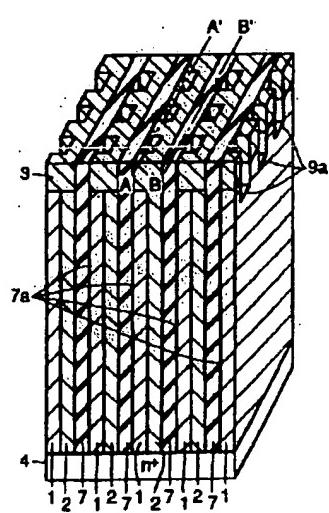
【図47】



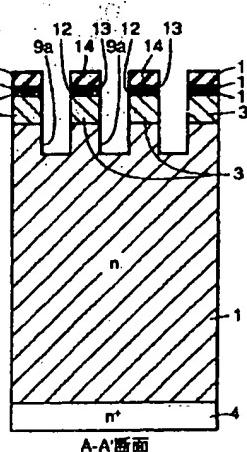
【図48】



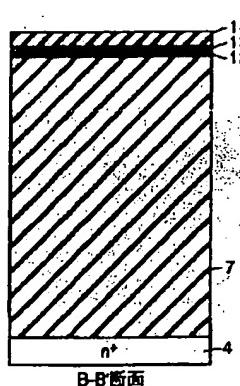
【図49】



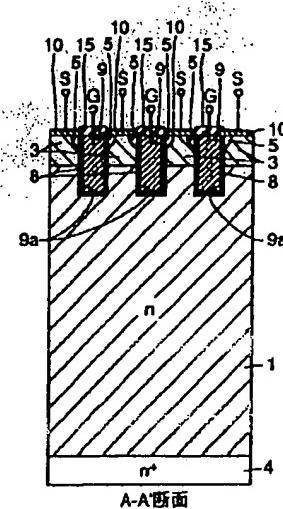
【図50】



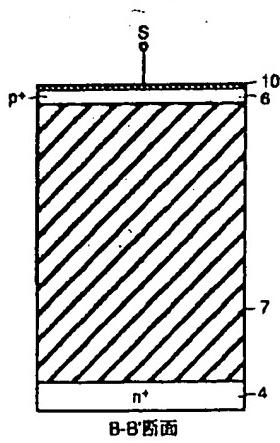
【図51】



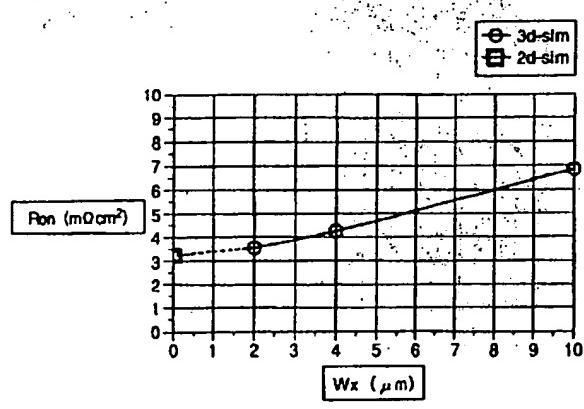
【図52】



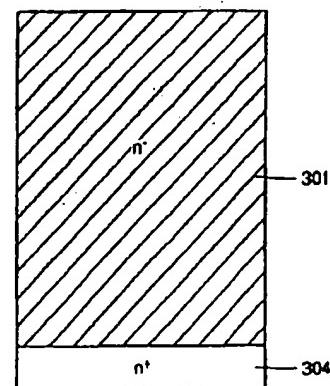
【図53】



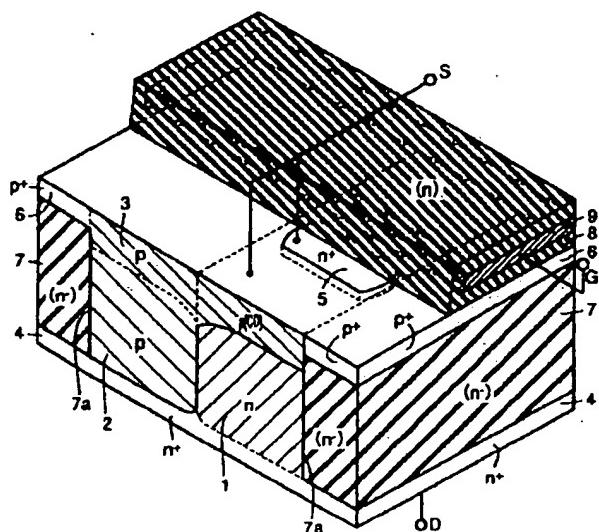
【図54】



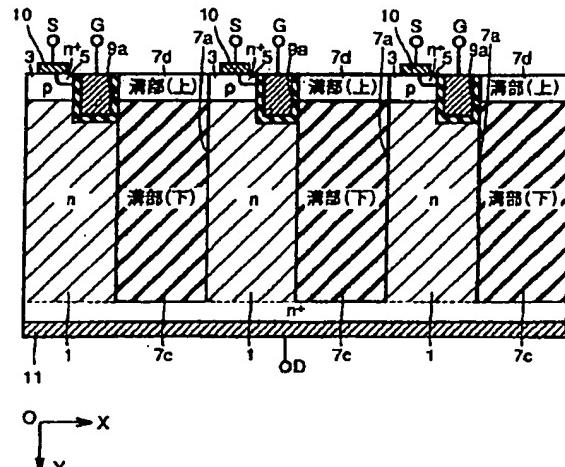
【図62】



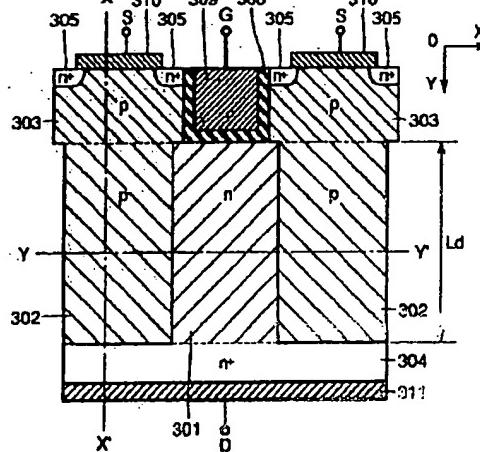
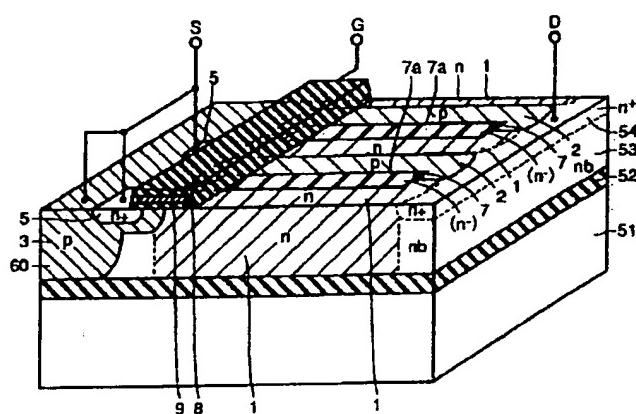
【図55】



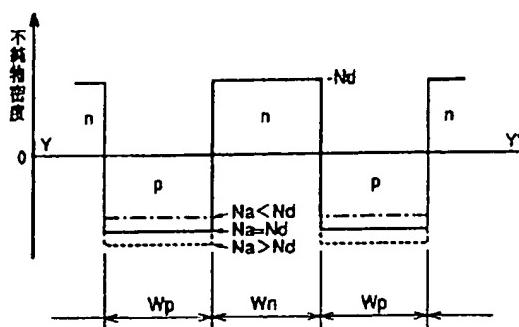
【図56】



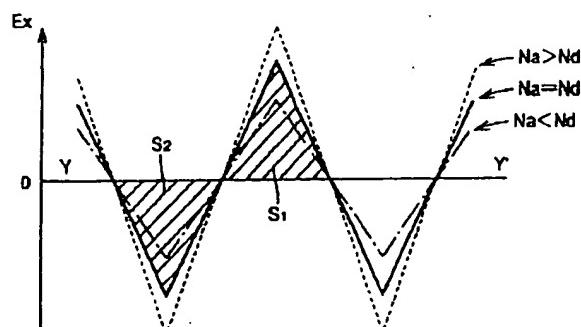
【図57】



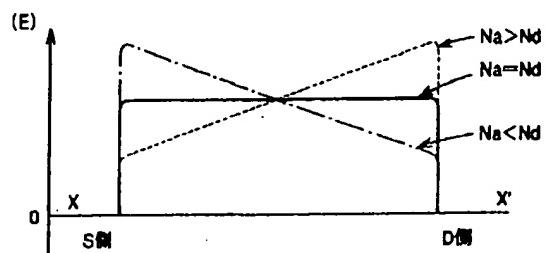
【図59】



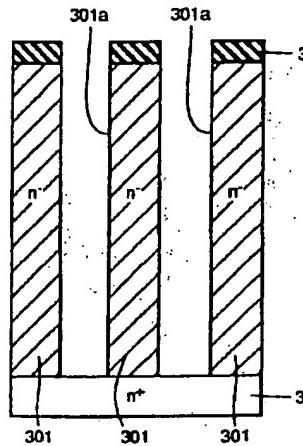
【図60】



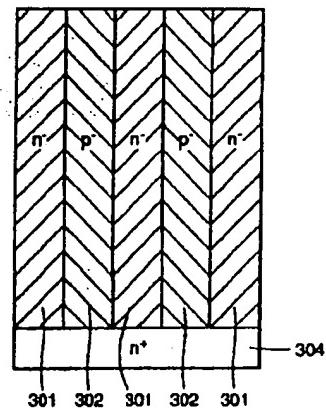
【図61】



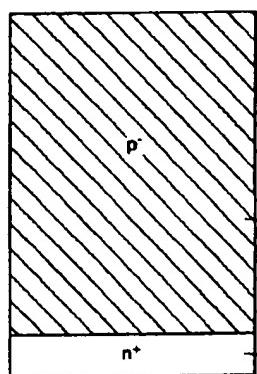
【図63】



【図64】



【図65】



【図66】

